

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-283267

(43)Date of publication of application : 03.10.2003

(51)Int.Cl.

H03F 3/343
G01R 31/00
G05F 3/26
G09G 3/20
G09G 3/30
G09G 3/36

(21)Application number : 2002-087642

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.03.2002

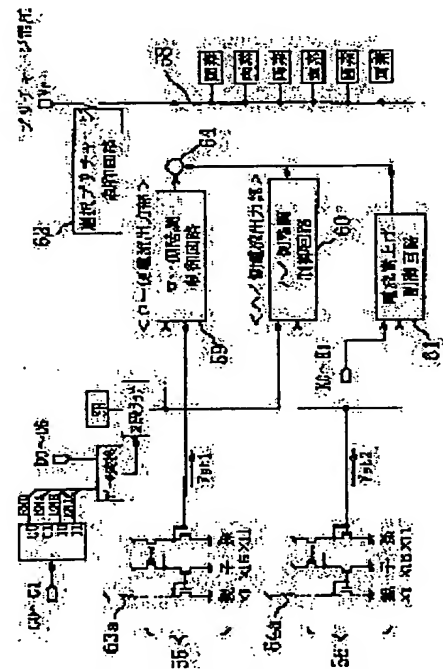
(72)Inventor : YAMANO ATSUSHIRO
TSUGE HITOSHI
DATE YOSHITO

(54) OUTPUT CIRCUIT FOR CONTROLLING GRAY-SCALE, ITS TESTING DEVICE, AND METHOD FOR TESTING THE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an output circuit for controlling a gray-scale capable of displaying a proper gray-scale to be used by a display and an output device, and to provide a method for testing the output circuit for controlling the gray-scale to be driven by current.

SOLUTION: The output circuit for controlling the gray-scale comprises a lower side current mirror circuit 55, a lower side gray-scale control circuit 59, a higher side current mirror circuit 56, a higher side gray-scale control circuit 60, a current boost control circuit 61, and a selection pre-charge control circuit 62. Since the gray-scale control circuit for outputting a gray-scale signal is divided to high side and low side, the characteristic of an output current can be approximated to the γ characteristic of a light emitting device. The dispersion of current in each output unit can be reduced by using a multistage current mirror.



LEGAL STATUS

[Date of request for examination]

26.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A supply voltage feed zone, the 1st current feed zone, and the 1st supply voltage supply wiring connected to the above-mentioned supply voltage feed zone, The 1st MISFET which has the gate electrode which was interposed between the 2nd supply voltage supply wiring connected to the above-mentioned supply voltage feed zone, and the current feed zone of the above 1st and the above-mentioned supply voltage feed zone, and was connected to the above-mentioned supply voltage feed zone, The output-buffer section containing the 1st transistor connected to supply voltage supply wiring of the above 1st, Two or more gradation control sections which have a differential circuit containing the 2nd transistor which is connected to supply voltage supply wiring of the above 2nd, and constitutes a current mirror with the 1st transistor of the above, The output circuit for gradation control equipped with the bias supply line for controlling the current which is connected to the gate electrode of the 1st above MISFET, and flows to the 1st transistor of the above, and the 2nd transistor of the above.

[Claim 2] It is the output circuit for gradation control which has the gate electrode by which both the 1st transistor of the above and the 2nd transistor of the above were connected to the above-mentioned bias supply line in the output circuit for gradation control according to claim 1, and is characterized by a conductivity type being the same MISFET.

[Claim 3] The current which flows the 1st transistor of the above in the output circuit for gradation control according to claim 1 or 2 at the time of a drive is an output circuit for gradation control characterized by being larger than the current which flows the 2nd transistor of the above.

[Claim 4] It is the output circuit for gradation control characterized by the above-mentioned gradation control section having further the voltage selection switch for supplying the electrical potential difference for gradation control to the above-mentioned output-buffer section in the output circuit for gradation control of any one publication among claims 1-3.

[Claim 5] The above-mentioned differential circuit is an output circuit for gradation control characterized by having the operational amplifier by which the input section was connected to the above-mentioned voltage selection switch in the output circuit for gradation control according to claim 4, and the output section was connected to the above-mentioned output-buffer section.

[Claim 6] In the output circuit for gradation control according to claim 1 to 5 The 2nd current feed zone, It connects with the current feed zone of the above 2nd, and supply voltage supply wiring of the above 1st. It is the output circuit for gradation control which is further equipped with the 1st above MISFET and the MISFET for inclination bias with the same conductivity type, and is characterized by connecting the gate electrode of the above-mentioned MISFET for inclination bias to supply voltage supply wiring of the above 1st, and the above-mentioned bias supply line.

[Claim 7] It is the output circuit for gradation control characterized by being the sink side current mirror which it connected with the above-mentioned supply voltage feed zone, and had further the 2nd MISFET which constitutes an informer side current mirror with the 1st above MISFET in the output circuit for gradation control according to claim 6, and the current feed zone of the above 2nd was connected to the above-mentioned informer side current mirror, and consisted of MISFET(s) of the same conductivity type.

[Claim 8] A supply voltage feed zone, the 1st current feed zone, and supply voltage supply wiring connected to the above-mentioned supply voltage feed zone, The 1st MISFET which has the gate electrode which was interposed between the current feed zone of the above 1st, and the above-mentioned supply voltage feed zone, and was connected to the above-mentioned supply voltage feed zone, Two or more gradation control sections which have the transistor connected to the above-mentioned supply voltage supply wiring, It connects with the 2nd current feed zone, the current feed zone of the above 2nd, and the above-mentioned supply voltage supply wiring. The 1st above MISFET and the MISFET for inclination bias with the same conductivity type, The output circuit for gradation control equipped with the bias supply line for controlling the current which connects between the gate electrode of the 1st above MISFET, and the gate electrodes of the above-mentioned MISFET for inclination bias, and is connected to the above-mentioned supply voltage supply wiring, and flows to the above-mentioned transistor.

[Claim 9] It is the output circuit for gradation control characterized by being MISFET which has the gate electrode by which the above-mentioned transistor was connected to the above-mentioned bias supply line in the output circuit for gradation control according to claim 8.

[Claim 10] It is the output circuit for gradation control characterized by being the sink side current mirror which it connected with the above-mentioned supply voltage feed zone, and had further the 2nd MISFET which constitutes

an informer side current mirror with the 1st above MISFET in the output circuit for gradation control according to claim 8 or 9, and the current feed zone of the above 2nd was connected to the above-mentioned informer side current mirror, and consisted of MISFET(s) of the same conductivity type.

[Claim 11] It is the output circuit for gradation control characterized by two or more above-mentioned gradation control sections being the D/A converters of a current addition mold in the output circuit for gradation control according to claim 8 to 10.

[Claim 12] In the output circuit for gradation control according to claim 8 to 11 two or more above-mentioned gradation control sections Two or more current mirror sections mutually connected to juxtaposition to the above-mentioned supply voltage supply node for expressing M gradation, It is the output circuit for gradation control which has the current-output section connected to the selecting switch of the same number connected to the above-mentioned current mirror section, and the selecting switch of all above, and is characterized by the above-mentioned current mirror section consisting of current mirrors which consist of the above-mentioned transistor.

[Claim 13] the output circuit for gradation control where the above-mentioned current mirror section is characterized by 1, 2, —, consisting of M/2 current mirrors which have the same component configuration mutually, respectively in order to control M gradation in the output circuit for gradation control according to claim 12.

[Claim 14] It is the output circuit for gradation control characterized by being adjusted by the ratio [as opposed to / in order to be MISFET in which the above-mentioned transistor has the same component configuration mutually in the output circuit for gradation control according to claim 12 and to control M gradation / the gate length of the gate width of Above MISFET in the output current from each above-mentioned current mirror section].

[Claim 15] It is the output circuit for gradation control which the above-mentioned gradation control section has two or more gradation generation sections which have the selecting switch which has the current mirror section, and the transfer gate and the inverter of the same number connected to the above-mentioned current mirror section in the output circuit of any one publication for gradation control among claims 11-14, and is characterized by to be hardened and arranged the above-mentioned current mirror section and the above-mentioned selecting switch for every above-mentioned gradation generation section.

[Claim 16] It is the output circuit for gradation control characterized by for both the above-mentioned transistors having the same conductivity type, and being the 1st transistor and 2nd transistor which constitute a current mirror, and the above-mentioned gradation control section having the output-buffer section which has the 1st transistor of the above, and the differential circuit which has the 2nd transistor of the above in the output circuit for gradation control according to claim 8 to 10.

[Claim 17] The current which flows the 1st transistor of the above in the output circuit for gradation control according to claim 16 at the time of a drive is an output circuit for gradation control characterized by being larger than the current which flows the 2nd transistor of the above.

[Claim 18] It is the output circuit for gradation control characterized by having further the voltage selection switch for the above-mentioned gradation control section supplying the electrical potential difference for gradation control to the above-mentioned output-buffer section in the output circuit for gradation control according to claim 16 or 17.

[Claim 19] The above-mentioned differential circuit is an output circuit for gradation control characterized by having the operational amplifier by which the input section was connected to the above-mentioned voltage selection switch in the output circuit for gradation control according to claim 18, and the output section was connected to the above-mentioned output-buffer section.

[Claim 20] The output circuit for gradation control equipped with two or more gradation control sections for outputting a mutually different current for gradation control in response to reference voltage and a gradation signal from each of two or more multistage type current mirror sections to which a current equal to the current which consists of two or more current mirrors, and flows the current mirror of the 1st step flows to three or more steps of each current mirror, and two or more above-mentioned multistage type current mirror sections.

[Claim 21] The output circuit for gradation control equipped with the output-control section for changing the combination of the above-mentioned current for gradation control outputted according to the above-mentioned gradation signal in the output circuit for gradation control according to claim 20 while receiving the current for gradation control from two or more above-mentioned gradation control sections.

[Claim 22] In the output circuit for gradation control according to claim 20 or 21 two or more above-mentioned gradation control sections The gradation of the lowest range among two or more above-mentioned gradation control sections A controllable low side gradation control section, Gradation higher than the above-mentioned low side gradation control section is divided into a controllable high side gradation control section. Two or more above-mentioned multistage type current mirror sections The output circuit for gradation control characterized by being divided into the low side multistage type current mirror section connected to the above-mentioned low side gradation control section, and the high side multistage type current mirror section connected to the above-mentioned high side gradation control section.

[Claim 23] In the output circuit for gradation control according to claim 22 the above-mentioned output-control section When only the above-mentioned current for gradation control from the above-mentioned low side gradation control section is outputted when the number of gradation is below a predetermined value, and the number of gradation exceeds a predetermined value The output circuit for gradation control characterized by controlling to output the above-mentioned current for gradation control from the above-mentioned high side gradation control section in addition to the above-mentioned current for gradation control from the above-mentioned low side

gradation control section.

[Claim 24] The output circuit for gradation control characterized by red, green, the above-mentioned low side multistage type current mirror section of blue 3 classification by color, the above-mentioned high side multistage type current mirror section, the above-mentioned low side gradation control section, and the above-mentioned high side gradation control section being integrated by the same chip at least in the output circuit for gradation control according to claim 22 or 23.

[Claim 25] While adjoining mutually [the above-mentioned low side multistage type current mirror section and the above-mentioned high side multistage type current mirror section] 1 set at a time and being arranged in the output circuit for gradation control according to claim 24 It is arranged at a predetermined color order at a line writing direction. The above-mentioned low side gradation control section, the above-mentioned high side gradation control section, and the above-mentioned output-control section it arranges on a matrix mostly — having — above-mentioned low side multistage type current mirror section and above-mentioned yes — 1 of the side multistage type current mirror section — above-mentioned low side gradation control-section [which was connected for constructing], and above-mentioned yes — the output circuit for gradation control characterized by for a side gradation control section and the above-mentioned output-control section hardening, and arranging them.

[Claim 26] It is the output circuit for gradation control which the above-mentioned gradation control section has two or more gradation generation sections which have the selecting switch which has the current mirror section, and the transfer gate and the inverter of the same number connected to the above-mentioned current mirror section in the output circuit of any one publication for gradation control among claims 20-25, and is characterized by to be hardened and arranged the above-mentioned current mirror section and the above-mentioned selecting switch for every above-mentioned gradation generation section.

[Claim 27] the inside of claims 22-26 — the output circuit for gradation control of any one publication — setting — piling control signal and above-mentioned yes — the reference voltage supplied from a side multistage type current mirror — winning popularity — output current [from the above-mentioned low side gradation control section], and above-mentioned yes — the output circuit for gradation control characterized by to prepare further the current piling control circuit for outputting the current which carries out piling of the output current from a side gradation control section to the above-mentioned output-control section.

[Claim 28] The output circuit for gradation control characterized by preparing further the current piling control circuit for outputting the current which carries out piling of the output current of the above-mentioned low side gradation control section between the above-mentioned low side multistage type current mirror section and the above-mentioned low side gradation control section in the output circuit for gradation control of any one publication among claims 22-26.

[Claim 29] It is the output circuit for gradation control characterized by having the function which fluctuates the current outputted according to the gradation which controls the above-mentioned current piling control circuit in the output circuit for gradation control according to claim 28.

[Claim 30] It is the output circuit for gradation control characterized by the above-mentioned output-control circuit having further the selection precharge circuit for supplying the electrical potential difference which charges an external signal line by switching control, and the selection precharge control circuit for turning ON the fixed period above-mentioned selection precharge circuit by the timing control according to an indicative data in the output circuit for gradation control of any one publication among claims 21-29.

[Claim 31] The output circuit for gradation control characterized by to have the resistor for transforming a current signal into a voltage signal which it integrated on the semiconductor chip, and was prepared the internal circuitry which has the output section for outputting a current signal, and on the above-mentioned semiconductor chip, was prepared on the external terminal connected at the above-mentioned output section, and the above-mentioned semiconductor chip, and was connected to the above-mentioned output section.

[Claim 32] In the output circuit for gradation control according to claim 31, it has further the switching circuit connected to the above-mentioned resistor. The above-mentioned switching circuit At the time of normal operation and powering off, it connects so that the above-mentioned resistor may be mutually connected with the above-mentioned internal circuitry to the above-mentioned external terminal at a serial. At the time of inspection The output circuit for gradation control characterized by changing so that the above-mentioned resistor and the above-mentioned external terminal may be arranged in parallel to the above-mentioned output section and it may connect, while connecting the above-mentioned resistor to touch-down.

[Claim 33] It is the output circuit for gradation control characterized by having the gradation control section for the above-mentioned internal circuitry outputting the current for gradation control in response to the reference voltage from the multistage type current mirror section and the above-mentioned multistage type current mirror section in the output circuit for gradation control according to claim 31 or 32.

[Claim 34] Two or more gradation control sections which have two or more bit cels, and the latch circuit for normal operation prepared for every above-mentioned bit cel, It is prepared between the common latch circuit for supplying a signal to all the above-mentioned bit cels, the above-mentioned common latch circuit and the above-mentioned latch circuit for normal operation, and the above-mentioned bit cel. The output circuit for gradation control equipped with the selection circuitry for changing so that the signal from the above-mentioned latch circuit for normal operation may be transmitted to the above-mentioned bit cel at the time of normal operation and the signal outputted from the above-mentioned common latch circuit may be transmitted to the above-mentioned bit cel at the time of inspection.

[Claim 35] The output circuit for gradation control characterized by preparing further the multistage type current

mirror section for supplying reference voltage to two or more above-mentioned gradation control sections in the output circuit for gradation control according to claim 34.

[Claim 36] The probe which consists of a conductor for a top face being prepared on the inferior surface of tongue of the substrate which can be installed in the circuit tester of wafer checking, and the above-mentioned substrate, and receiving the current signal from an inspected wafer at least, Test equipment of the output circuit for gradation control equipped with wiring prepared by connecting with the resistor and the above-mentioned resistor for approaching the above-mentioned probe, being arranged on the above-mentioned substrate, connecting with the above-mentioned probe, and transforming the above-mentioned current signal into a voltage signal, and penetrating the above-mentioned substrate.

[Claim 37] Test equipment of the output circuit for gradation control characterized by the distance between the above-mentioned probe and the above-mentioned resistor being 10cm or less in the test equipment of the output circuit for gradation control according to claim 36.

[Claim 38] Test equipment of the output circuit for gradation control characterized by having further the operational amplifier by which connected with the above-mentioned resistor and juxtaposition to the above-mentioned probe, and the output section was connected to the negative side input section through the above-mentioned resistor in the test equipment of the output circuit for gradation control according to claim 36 or 37.

[Claim 39] Test equipment of the output circuit for gradation control characterized by inputting into the forward side input section of the above-mentioned operational amplifier the reference voltage outputted by the above-mentioned circuit tester in the test equipment of the output circuit for gradation control according to claim 38.

[Claim 40] It is test equipment of the output circuit for gradation control characterized by integrating the above-mentioned resistor in the test equipment of the output circuit for gradation control of any one publication among claims 36-39.

[Claim 41] It is test equipment of the output circuit for gradation control characterized by integrating the above-mentioned operational amplifier in the test equipment of the output circuit for gradation control of any one publication among claims 38-40.

[Claim 42] It connects with the source of reference current connected to the 1st resistor mutually connected to juxtaposition, and the above-mentioned source of reference current. It is the inspection approach of the output circuit for gradation control equipped with the gradation control section for outputting the current for gradation control. At the time of inspection The inspection approach of the output circuit for gradation control which is established in the 1st resistor of the above, and juxtaposition, connects the 2nd resistor with resistance lower than the 1st resistor of the above to the above-mentioned source of reference current, and is characterized by turning OFF connection between the 2nd resistor of the above, and the above-mentioned source of reference current at the time of normal operation.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the inspection approach of the driver IC which performs gradation control especially with a current or an electrical potential difference and its checking equipment, and a driver IC about the gradation control output circuit used for a display and an output unit.

[0002]

[Description of the Prior Art] An image is displayed by arranging many pixels in in the shape of a matrix, and generally, controlling luminous intensity by the image display device of a active-matrix mold for every pixel according to the given brightness information. Therefore, a rectangle-like display panel is arranged in the shape of a matrix, and has TFT (Thin-Film-Transistor) which controls liquid crystal or an optical state of matter, the data-line drive circuit prepared along the vertical side of a panel, and the gate line drive circuit established in the side edge section of a panel, for example.

[0003] Conventionally, what used liquid crystal as optical matter in image display devices, such as a display panel, was in use. In these image display devices, the liquid crystal drive circuit (liquid crystal driver) supplied display information to each pixel in the form of an electrical potential difference, and the permeability of a pixel was changed according to this display information.

[0004] On the other hand, the proposal of the image display device using organic electroluminescence (Electro Luminescence) as a light emitting device is active in recent years. Since, as for organic electroluminescence, itself emits light unlike liquid crystal, the display panel using this has the advantage that a back light becomes unnecessary, the top where visibility is high. The organic electroluminescence used for a display panel has the function of diode, and light is emitted by the ability of a current to be given. There are two drive methods in this organic EL panel.

[0005] Drawing 24 is drawing for explaining the drive method of an organic EL panel.

[0006] As shown in this drawing, the 1st drive method of an organic EL panel is an electrical-potential-difference write-in method. This is the driver for an electrical-potential-difference drive to the electrical potential difference V0. It is the method with which an indicative data is supplied to TFT (low Pori pixel Tr) in a form. Electrical potential difference V0 The charge which responded and was accumulated in loads, such as a capacitor, charges or discharges, and, thereby, it is a current I0. It flows to organic electroluminescence diode. Although this drive method has the advantage that the existing liquid crystal driver IC technique can be used, since electrical-potential-difference supply is unstable, it has the technical problem that it is difficult to compensate the property nonuniformity of TFT which consists of low-temperature polish recon.

[0007] The 2nd drive method of an organic EL panel is a current write-in method. This approach is the approach of controlling a gradation display by changing the amount of current drawing in from a panel. TFT which consists of low-temperature polish recon on a panel is the current I0 which constituted the current mirror and was drawn in the signal line from the panel. An equal current flows to TFT. According to this approach, property dispersion of TFT can be compensated and high definition-ization of an organic EL panel can be realized.

[0008] The pixel of three colors of R (red), G (green), and B (blue) is arranged, and when it is a current write-in method, and the brightness of a pixel changes according to the current from the driver for a current drive, the gradation display of the brightness of a pixel is attained at the organic EL panel in which color display is possible.

[0009] Drawing 25 (a) and (b) are the circuit diagram showing the configuration of the conventional driver for an electrical-potential-difference drive for carrying out the electrical-potential-difference drive of the indicating equipment which realizes an above-mentioned gradation display, respectively, and drawing showing the relation between the power-source potential in a supply voltage supply line, and the distance from a supply voltage feed zone.

[0010] As shown in this drawing (a), the conventional driver for an electrical-potential-difference drive (output circuit for gradation control) The supply voltage feed zone 1112 and the gradation control sections 1101a, 1101b, —, 1101N (N is the natural number) which are connected to the supply voltage feed zone 1112, and have the output section 1116, 1st MISFET1111 which is the P channel mold MISFET to which it was interposed between the current feed zone 1110 connected to touch-down, and the supply voltage feed zone 1112 and the current feed zone 1110, and the drain and the gate electrode of each other were connected, The 1st node 1118 prepared between 1st MISFET1111 and the supply voltage feed zone 1112, The gate bias supply line 1115 connected to the gate electrode of 1st MISFET1111, The supply voltage supply wiring 1121 for connecting with the 1st node 1118 and supplying

supply voltage to each gradation control section. It is prepared on the supply voltage supply wiring 1121, and they are the gradation control sections 1101a, 1101b, —, 1101N. The supply voltage supply node 1117 connected, respectively, It has the resistor 1113 interposed between each supply voltage supply node 1117 and between the supply voltage supply node 1117 and the 1st node 1118. Here, although the example equipped with the gradation control section of N individual is shown, generally one output circuit for gradation control is equipped with about 400–500 gradation control sections in many cases.

[0011] Moreover, current Miller circuit is used for the gradation control sections 1101a, 1101b, —, 1101N in the conventional output circuit for gradation control.

[0012] As shown in drawing 25 (a), namely, gradation control-section 1101a while the source of each other was connected, it connected with the supply voltage supply node 1117 — both with 2nd MISFET1102a of a P channel mold, and 3rd MISFET1103a Voltage selection switch 1120a and operational amplifier 1106a by which voltage selection switch 1120a was connected to the (+) side, and the output section 1116 was connected to the (–) side, [of the input section] Output side transistor 1105a whose source is the N channel mold MISFET by which the drain was connected to 3rd MISFET1103a and the gate electrode was connected to touch-down at the output section of operational amplifier 1106a, respectively, 1st node 1114a which was interposed between output side transistor 1105a and 3rd MISFET1103a, and was connected to the output section 1116, Gate inter-electrode and output side transistor 1105a of the output section-output side transistor of operational amplifier 1106a – It has capacitor 1119a for oscillation prevention prepared between wiring which connects between the 2nd node. Moreover, the 2nd MISFET1102a and operational amplifier 1106a constitute differential-circuit 1107a, and 3rd MISFET1103a, the 1st node 1114, capacitor 1119 for oscillation prevention a, and output side transistor 1105a constitute output-buffer section 1108a. Here, electrical characteristics are arranged mutually, and the mutual gate electrode is connected to the gate bias supply line 1115, and 2nd MISFET1102a and 3rd MISFET1103a constitute [in / both / the conventional gradation control-section 1101a] current Miller circuit. And since a load is driven, it is designed so that the direction of the current I2 which flows 3rd MISFET1103a may become larger than the current I1 which flows 2nd MISFET1102a.

[0013] Moreover, it sets to the conventional output circuit for gradation control, and they are the gradation control sections 1101a, 1101b, —, 1101N of N individual. It has the respectively same circuitry as above-mentioned gradation control-section 1101a. And the 2nd MISFET 1102a, 1102b, —, 1102N and MISFET [3rd / a / 1103 / b / 1103 / —, 1103N] gate electrode is connected to the gate bias supply line 1115, respectively. As shown in drawing 25 (b), the equal electrical potential difference is mutually impressed so that this MISFET may be turned on from the gate bias supply line 1115 to the gate electrode of these MISFET(s).

[0014] Moreover, in the conventional output circuit for gradation control, the multiplexer which can choose two or more reference voltages as a voltage selection switch according to digital data is used. Current amplification of the electrical potential difference chosen here is carried out with an operational amplifier, and it is outputted to the panel using liquid crystal or organic electroluminescence.

[0015] In addition, the output circuits for gradation control for the conventional current drive used for the organic EL panel of a current write-in method are the gradation control sections 1101a and 1101b of the output circuit for gradation control shown in drawing 25. — The structure which replaced 1101Ns with the D/A converter of a current addition mold is taken. From this D/A converter, the current of the magnitude according to gradation data is supplied to TFT and a pixel, and enables the gradation display by the organic EL panel.

[0016] In addition, such an output circuit for gradation control for a current drive can be used also as a head of output units, such as a printer, only as a driver for organic EL panels. In addition, it can use also as the driver for indicating equipments and the head for printers not only using organic electroluminescence but inorganic [EL or LED] (Light Emitting Diode).

[0017] Next, the inspection approach of the output circuit for gradation control for the conventional current drive is explained.

[0018] Drawing 26 (a) and (b) are the sectional view showing the conventional probe card for inspecting the output circuit for gradation control for a current drive, respectively, and the block circuit diagram showing the cross section of the conventional probe card.

[0019] As shown in this drawing (a), it connects with the semi-conductor circuit tester's 1152 head 1153 by the top-face side, and inspection of the output circuit for gradation control for the conventional current drive is conducted by laying the probe card 1156 which has the probe 1155 which becomes an inferior surface of tongue from a conductor on the inspected wafer 1151 with which it was prepared in these a majority of drivers for a current drive.

[0020] As shown in drawing 26 (b), specifically, inspection is performed by detecting a sink and the current outputted by the checking bump after that for the semi-conductor circuit tester's 1152 head 1153 to a checking current, where the checking pad 1154 (or bump) and probe 1156 which were formed on the wafer are contacted.

[0021] Since many of organic electroluminescence diodes show the highest brightness when the current supplied is below 1microA, when it has 6-bit gradation (64 gradation) in an organic EL panel, the current per 1 gradation becomes 10 – 20nA extent. Therefore, the semi-conductor circuit tester 1152 can detect now the current of 10 – 20nA extent. The semi-conductor circuit tester used here, the connection jig of a probe card, and a semi-conductor circuit tester and a probe card, etc. are the same as that of what is used for a general wafer inspection.

[0022]

[Problem(s) to be Solved by the Invention] First, since the same gradation control section was connected to the

supply voltage supply wiring 1121 of one in the conventional driver for an electrical-potential-difference drive, by the supply voltage supply node 1117 in a location distant from the supply voltage feed zone 1112, the electrical potential difference supplied was descending by existence of a resistor 1113 etc., so that drawing 25 (b) might show. On the other hand, the potential of the gate bias supply line 1115 does not call at a location, but since it is fixed, the electrical potential difference VGS built between the gate-sources of 2nd MISFET1102 and 3rd MISFET1103 will vary with the distance from the supply voltage feed zone 1112.

[0023] On the other hand, the capacitor for oscillation prevention of the output-buffer section is charged according to the output current (output from an operational amplifier) of a differential circuit. Since there are generally few currents which flow a differential-circuit side than an output-buffer side, the die length of the charging time of the capacitor for oscillation prevention is influenced by the current which flows to a differential circuit. Moreover, when the supply voltage supplied to each differential circuit varies, it is a current I1. Magnitude varies. Therefore, in the output circuit for gradation control for the conventional electrical-potential-difference drive, when the supply voltage supplied to each differential circuit varied, also in the magnitude of the current distributed to a differential circuit, the charging time of dispersion and the capacitor for oscillation prevention varied. Consequently, in the output circuit for gradation control for the conventional electrical-potential-difference drive, the current to which the slew rate of an operational amplifier is outputted from dispersion and the output section by the distance from the supply voltage feed zone 1112 had also varied.

[0024] Therefore, when the output circuit for gradation control for the conventional electrical-potential-difference drive was used for liquid crystal or an organic EL panel, the fault of nonuniformity appearing in the display of a screen had happened. Moreover, when the output circuit for gradation control for the conventional electrical-potential-difference drive was used as a printer head, printing nonuniformity might arise.

[0025] In addition, the fault by the voltage drop of such supply voltage supply wiring is seen also in the output circuit for gradation control for the conventional current drive which has a configuration similar to the output circuit for gradation control for an electrical-potential-difference drive.

[0026] In the output circuit for gradation control for the conventional current drive, a current is directly distributed to the 176 output sections using a current mirror from one current source. Although inputted into the gradation control section of the above [one] of this output current, there were this output current and fault of varying for every output section.

[0027] On the other hand, since the current value to detect was as minute as 10-20nA in the inspection approach of the output circuit for gradation control for the conventional current drive, there was fault that a detecting signal will deteriorate between the inspected wafer 1151 and the semi-conductor circuit tester 1152. This is for a detecting signal to spread via a probe card 1151, the connection wiring 1158, a jig, etc. For this reason, it was difficult to inspect the output circuit for gradation control in sufficient precision.

[0028] The purpose of this invention is used for a display or an output unit, and is to offer the means for inspecting offering the output circuit for gradation control which realizes a good gradation display, and the output circuit for gradation control for a current drive.

[0029]

[Means for Solving the Problem] The 1st output circuit for gradation control of this invention A supply voltage feed zone and the 1st current feed zone, The 1st supply voltage supply wiring connected to the above-mentioned supply voltage feed zone, and the 2nd supply voltage supply wiring connected to the above-mentioned supply voltage feed zone, The 1st MISFET which has the gate electrode which was interposed between the current feed zone of the above 1st, and the above-mentioned supply voltage feed zone, and was connected to the above-mentioned supply voltage feed zone, The output-buffer section containing the 1st transistor connected to supply voltage supply wiring of the above 1st, Two or more gradation control sections which have a differential circuit containing the 2nd transistor which is connected to supply voltage supply wiring of the above 2nd, and constitutes a current mirror with the 1st transistor of the above, It connected with the gate electrode of the 1st above MISFET, and has the bias supply line for controlling the current which flows to the 1st transistor of the above, and the 2nd transistor of the above.

[0030] By this configuration, since wiring for supplying supply voltage to each of a differential circuit and the output-buffer section is prepared according to the individual, the voltage drop produced within the 1st supply voltage supply wiring and the 2nd supply voltage supply wiring can be made small compared with the case where supply voltage supply wiring is not divided. Therefore, dispersion in the electrical potential difference between the gate-sources of the 1st transistor produced according to the difference of the distance from a supply voltage feed zone and the 2nd transistor or the electrical potential difference between gate-drains can be suppressed. Consequently, since dispersion in the current which flows each differential circuit is also suppressed while dispersion in the current which flows each output-buffer section is suppressed, dispersion in the current outputted from each output section of a gradation control section is also suppressed. Therefore, by using the output circuit for gradation control of this invention for a display, the display nonuniformity in a panel can be reduced and the printing nonuniformity of a printer can be stopped by using for the head of a printer etc.

[0031] Both the 1st transistor of the above and the 2nd transistor of the above may have the gate electrode connected to the above-mentioned bias supply line, and may be the MISFET with the same conductivity type.

[0032] That the current which flows the 1st transistor of the above at the time of a drive is larger than the current which flows the 2nd transistor of the above enables it to drive large loads, such as a panel of a display, effectively.

[0033] The output circuit for gradation control of this invention is preferably used for the display which takes

electrical-potential-difference drive methods including a liquid crystal panel, or an output unit by having further the voltage selection switch for the above-mentioned gradation control section supplying the electrical potential difference for gradation control to the above-mentioned output-buffer section.

[0034] The input section is connected to the above-mentioned voltage selection switch, and the above-mentioned differential circuit can make the current of the voltage signal chosen by the having-operational amplifier by which the output section was connected to the above-mentioned output-buffer section voltage selection switch amplify.

[0035] It connects with the 2nd current feed zone, the current feed zone of the above 2nd, and supply voltage supply wiring of the above 1st. It has further the 1st above MISFET and the MISFET for inclination bias with the same conductivity type. The gate electrode of the above-mentioned MISFET for inclination bias By connecting with supply voltage supply wiring of the above 1st, and the above-mentioned bias supply line Since it becomes possible to double the inclination of the potential in a bias supply line with the voltage drop in the 1st supply voltage supply wiring and the 2nd supply voltage supply wiring It becomes possible to suppress more effectively dispersion in the electrical potential difference between the gate-sources in the 1st transistor and 2nd transistor, or the electrical potential difference between gate-drains. Consequently, dispersion in the current outputted from a gradation control section can be reduced sharply.

[0036] It connects with the above-mentioned supply voltage feed zone, and has further the 2nd MISFET which constitutes an informer side current mirror with the 1st above MISFET. The current feed zone of the above 2nd By being the sink side current mirror which was connected to the above-mentioned informer side current mirror, and consisted of MISFET(s) of the same conductivity type Even when a sink side current mirror is in the location distant from the supply voltage feed zone, a current equal to the current which flows an informer side current mirror can be passed to a sink side current mirror.

[0037] The 2nd output circuit for gradation control of this invention A supply voltage feed zone and the 1st current feed zone, The 1st MISFET which has the gate electrode which was interposed between supply voltage supply wiring connected to the above-mentioned supply voltage feed zone, and the current feed zone of the above 1st and the above-mentioned supply voltage feed zone, and was connected to the above-mentioned supply voltage feed zone, Two or more gradation control sections which have the transistor connected to the above-mentioned supply voltage supply wiring. It connects with the 2nd current feed zone, the current feed zone of the above 2nd, and the above-mentioned supply voltage supply wiring. The 1st above MISFET and the MISFET for inclination bias with the same conductivity type, Between the gate electrode of the 1st above MISFET and the gate electrodes of the above-mentioned MISFET for inclination bias was connected, and it connected with the above-mentioned supply voltage supply wiring, and has the bias supply line for controlling the current which flows to the above-mentioned transistor.

[0038] Dispersion in the current which flows the transistor of a gradation control section can be suppressed without dividing supply voltage supply wiring, since it becomes possible to double the inclination of the potential in a bias supply line with the voltage drop in supply voltage supply wiring by this. Moreover, since supply voltage supply wiring is collected by one, wiring area can also be reduced compared with the case where supply voltage supply wiring is divided.

[0039] The above-mentioned transistor can suppress dispersion in the output current from a gradation control section with a more sufficient precision by being MISFET which has the gate electrode connected to the above-mentioned bias supply line.

[0040] It connects with the above-mentioned supply voltage feed zone, and has further the 2nd MISFET which constitutes an informer side current mirror with the 1st above MISFET. The current feed zone of the above 2nd By being the sink side current mirror which was connected to the above-mentioned informer side current mirror, and consisted of MISFET(s) of the same conductivity type Even when a sink side current mirror is in the location distant from the supply voltage feed zone, a current equal to the current which flows an informer side current mirror can be passed to a sink side current mirror. That is, it becomes possible to supply a fixed current, without receiving the effect of a voltage drop in the gradation control section in the location distant from the supply voltage feed zone. For this reason, dispersion by the output section of a gradation control section can be reduced further.

[0041] When two or more above-mentioned gradation control sections are the D/A converters of a current addition mold, the output circuit for gradation control of this invention can be used as a printer head of output units, such as a driver for a current drive of the indicating equipment which used light emitting devices, such as an organic EL panel, and a printer using a light emitting device.

[0042] Two or more current mirror sections mutually connected to juxtaposition to the above-mentioned supply voltage supply node for two or more above-mentioned gradation control sections to express M gradation, It has the current-output section connected to the selecting switch of the same number connected to the above-mentioned current mirror section, and the selecting switch of all above. The above-mentioned current mirror section By consisting of current mirrors which consist of the above-mentioned transistor, the output circuit for gradation control used for the display and output unit of a current drive method is producible with a comparatively simple configuration.

[0043] In order to control M gradation, the above-mentioned current mirror section can realize an accurate current addition mold D/A converter 1, 2, —, by consisting of M/2 current mirrors which have the same component configuration mutually, respectively. That is, the output circuit for gradation control which realizes a good gradation display is realizable.

[0044] The above-mentioned transistor is MISFET which has the same component configuration mutually, and in

order to control M gradation, the output current from each above-mentioned current mirror section may be adjusted by the ratio to the gate length of the gate width of Above MISFET.

[0045] The above-mentioned gradation control section has two or more gradation generation sections which have the selecting switch which has the current mirror section, and the transfer gate and the inverter of the same number which were connected to the above-mentioned current mirror section, and the above-mentioned current mirror section and the above-mentioned selecting switch can attain area saving of the output circuit for gradation control of this invention which realizes a good gradation display by being hardened and arranged for every above-mentioned gradation generation section.

[0046] Both the above-mentioned transistors have the same conductivity type, it is the 1st transistor and 2nd transistor which constitute a current mirror, and the above-mentioned gradation control section may have the output-buffer section which has the 1st transistor of the above, and the differential circuit which has the 2nd transistor of the above. Especially this configuration is preferably adopted, when used as a driver for an electrical-potential-difference drive.

[0047] As for the current which flows the 1st transistor of the above at the time of a drive, it is desirable that it is larger than the current which flows the 2nd transistor of the above, when driving loads, such as a panel.

[0048] The above-mentioned gradation control section is preferably used as a head for printers of the driver for an electrical-potential-difference drive by which dispersion in the output current was reduced, or an electrical-potential-difference drive method by having further the voltage selection switch for supplying the electrical potential difference for gradation control to the above-mentioned output-buffer section.

[0049] The above-mentioned differential circuit can realize the driver for an electrical-potential-difference drive of 2 stage amplifier mold by having the operational amplifier by which the input section was connected to the above-mentioned voltage selection switch, and the output section was connected to the above-mentioned output-buffer section.

[0050] The 3rd output circuit for gradation control of this invention consisted of two or more current mirrors, and is equipped with two or more gradation control sections for outputting a mutually different current for gradation control in response to reference voltage and a gradation signal from each of two or more multistage type current mirror sections to which a current equal to the current which flows the current mirror of the 1st step flows to three or more steps of each current mirror, and two or more above-mentioned multistage type current mirror sections.

[0051] Dispersion in the value of the current inputted into a gradation control section by using a multistage type current mirror by this configuration is reduced. in addition, a thing equipped with two or more gradation control sections for outputting a mutually different current for gradation control — the property of the output current of the output circuit for gradation control — organic electroluminescence and inorganic — the gamma characteristics of light emitting devices, such as EL and LED, can be made to resemble Consequently, when the output circuit for gradation control of this invention is used for a display, a display property is improved, and a printing property is improved when it uses for an output unit.

[0052] While receiving the current for gradation control from two or more above-mentioned gradation control sections, the property of the output current from the output circuit for gradation control can control to resemble the gamma characteristics of a light emitting device by having the output-control section for changing the combination of the above-mentioned current for gradation control outputted according to the above-mentioned gradation signal. Consequently, in the display panel and printer using the output circuit for gradation control of this invention, a good gradation display is realizable.

[0053] Two or more above-mentioned gradation control sections the gradation of the lowest range among two or more above-mentioned gradation control sections A controllable low side gradation control section, Gradation higher than the above-mentioned low side gradation control section is divided into a controllable high side gradation control section. Two or more above-mentioned multistage type current mirror sections It becomes possible to make the property of the output current of the output circuit for gradation control approximate to the gamma characteristics of a light emitting device good by being divided into the low side multistage type current mirror section connected to the above-mentioned low side gradation control section, and the high side multistage type current mirror section connected to the above-mentioned high side gradation control section.

[0054] When the number of gradation is below a predetermined value, the above-mentioned output-control section When only the above-mentioned current for gradation control from the above-mentioned low side gradation control section is outputted and the number of gradation exceeds a predetermined value By controlling to output the above-mentioned current for gradation control from the above-mentioned high side gradation control section in addition to the above-mentioned current for gradation control from the above-mentioned low side gradation control section It becomes possible to change the property of the output current of the output circuit for gradation control according to the inclination of the gamma-characteristics (current-brightness property) graph of a light emitting device.

[0055] at least — red, green, above-mentioned low side multistage type current mirror section [of blue 3 classification by color], and above-mentioned yes — the side multistage type current mirror section, the above-mentioned low side gradation control section, and the above — yes, when the side gradation control section is integrated by the same chip, the output circuit for gradation control of this invention comes to be used as a driver IC for color displays. Moreover, it comes to be used also as a printer head of a color printer.

[0056] While adjoining mutually [the above-mentioned low side multistage type current mirror section and the above-mentioned high side multistage type current mirror section] 1 set at a time and being arranged It is arranged

at a predetermined color order at a line writing direction. The above-mentioned low side gradation control section, the above-mentioned high side gradation control section, and the above-mentioned output-control section it arranges on a matrix mostly — having — above-mentioned low side multistage type current mirror section and above-mentioned yes — 1 of the side multistage type current mirror section — the above-mentioned low side gradation control section connected for constructing, and the above — yes, a side gradation control section and the above-mentioned output-control section by being hardened and arranged Wiring area can be reduced, as a result it leads also to the miniaturization of a display panel.

[0057] The above-mentioned gradation control section has two or more gradation generation sections which have the selecting switch which has the current mirror section, and the transfer gate and the inverter of the same number which were connected to the above-mentioned current mirror section. The above-mentioned current mirror section and the above-mentioned selecting switch By being hardened and arranged for every above-mentioned gradation generation section, compared with the layout hardened and arranged for every component, redundant wiring between the current mirror section and an inverter can be reduced, and wiring area can be reduced effectively. Moreover, it becomes possible to expand the width of face of output wiring of a gradation control circuit, and to reduce the output impedance of a gradation control circuit.

[0058] The contrast of the display in the panel using a light emitting device can be raised by having prepared further the current piling control circuit for outputting the current which carries out piling of the output current from the above-mentioned low side gradation control section, and the output current from the above-mentioned high side gradation control section to the above-mentioned output-control section in response to a piling control signal and the reference voltage supplied from the above-mentioned high side multistage type current mirror.

[0059] Piling of the output current from a gradation control section can be planned suppressing the increment in area by having prepared further the current piling control circuit for outputting the current which carries out piling of the output current of the above-mentioned low side gradation control section between the above-mentioned low side multistage type current mirror section and the above-mentioned low side gradation control section.

[0060] The above-mentioned current piling control circuit can also have the function which fluctuates the current outputted according to the gradation to control.

[0061] Since the above-mentioned output-control circuit can charge the signal line of a display panel beforehand by the selection precharge circuit by having further the selection precharge circuit for supplying the electrical potential difference which charges an external signal line by switching control, and the selection precharge control circuit for turning ON the fixed period above-mentioned selection precharge circuit by the timing control according to an indicative data, it can perform the black display in a display panel promptly. Especially this is effective when TFT which becomes the panel of a display from low-temperature polish recon is arranged.

[0062] It integrated on the semiconductor chip and the 4th output circuit for gradation control of this invention is equipped with the external terminal which was prepared on the above-mentioned semiconductor chip and connected with the internal circuitry which has the output section for outputting a current signal at the above-mentioned output section, and the resistor for transforming a current signal into a voltage signal which was prepared on the above-mentioned semiconductor chip and connected to the above-mentioned output section.

[0063] Since the minute current outputted from an internal circuitry by this configuration is convertible for a voltage signal with the resistor on a chip, this voltage signal can be made hard to decrease with a probe, a jig, etc. Consequently, it becomes possible to conduct accurate inspection.

[0064] It has further the switching circuit connected to the above-mentioned resistor. The above-mentioned switching circuit At the time of normal operation and powering off, it connects so that the above-mentioned resistor may be mutually connected with the above-mentioned internal circuitry to the above-mentioned external terminal at a serial. At the time of inspection By changing so that the above-mentioned resistor and the above-mentioned external terminal may be arranged in parallel to the above-mentioned output section and it may connect, while connecting the above-mentioned resistor to touch-down Since a resistor can restrict the amount of currents inputted from the outside when a high-voltage current (surge) is inputted from an external terminal, an internal circuitry can be protected. Moreover, at the time of inspection, a resistor can be operated as resistance a current / for electrical-potential-difference conversion.

[0065] The above-mentioned internal circuitry may have the multistage type current mirror section and a gradation control section for outputting the current for gradation control in response to the reference voltage from the above-mentioned multistage type current mirror section.

[0066] Two or more gradation control sections in which the 5th output circuit for gradation control of this invention has two or more bit cels, The latch circuit for normal operation prepared for every above-mentioned bit cel, and the common latch circuit for supplying a signal to all the above-mentioned bit cels, It is prepared between the above-mentioned common latch circuit and the above-mentioned latch circuit for normal operation, and the above-mentioned bit cel. At the time of normal operation, the signal from the above-mentioned latch circuit for normal operation was transmitted to the above-mentioned bit cel, and it has the selection circuitry for changing so that the signal outputted from the above-mentioned common latch circuit may be transmitted to the above-mentioned bit cel at the time of inspection.

[0067] Since it becomes unnecessary for the signal added at the time of inspection to go via two or more latch circuits by this, inspection time amount can be shortened.

[0068] The multistage type current mirror section for supplying reference voltage to two or more above-mentioned gradation control sections may be prepared further.

[0069] The substrate with which a top face can install the test equipment of the output circuit for gradation control of this invention in the circuit tester of wafer checking. The probe which consists of a conductor for being prepared on the inferior surface of tongue of the above-mentioned substrate, and receiving the current signal from an inspected wafer at least, It connected with the resistor and the above-mentioned resistor for approaching the above-mentioned probe, being arranged on the above-mentioned substrate, connecting with the above-mentioned probe, and transforming the above-mentioned current signal into a voltage signal, and has wiring prepared by penetrating the above-mentioned substrate.

[0070] A circuit tester can be made to reach, since this current signal can be transformed into a voltage signal by the resistor when a very small current signal is outputted from an inspected wafer by this configuration, without attenuating a current signal. For this reason, inspection of the wafer which has the output circuit for gradation control which outputs a minute current signal can be performed.

[0071] It is desirable that the distance between the above-mentioned probe and the above-mentioned resistor is 10cm or less.

[0072] The signal from an inspected wafer can be easily measured now with a circuit tester by having further the operational amplifier by which connected with the above-mentioned resistor and juxtaposition to the above-mentioned probe, and the output section was connected to the negative side input section through the above-mentioned resistor.

[0073] By inputting into the forward side input section of the above-mentioned operational amplifier the reference voltage outputted by the above-mentioned circuit tester, even when the range of the output current value from an inspected wafer is wide, the signal from a wafer can be easily detected by changing reference voltage.

[0074] By integrating, the above-mentioned resistor can realize the test equipment of this invention easily.

[0075] By integrating, the above-mentioned operational amplifier can realize the test equipment of this invention easily.

[0076] The source of reference current connected to the 1st resistor by which the inspection approach of the output circuit for gradation control of this invention was mutually connected to juxtaposition. It is the inspection approach of the output circuit for gradation control equipped with the gradation control section for connecting with the above-mentioned source of reference current, and outputting the current for gradation control. At the time of inspection It is prepared in the 1st resistor of the above, and juxtaposition, the 2nd resistor with resistance lower than the 1st resistor of the above is connected to the above-mentioned source of reference current, and connection between the 2nd resistor of the above and the above-mentioned source of reference current is turned OFF at the time of normal operation.

[0077] By this approach, since the current inputted into the source of reference current at the time of inspection can be made larger than the time of normal operation, an inspection current can be enlarged and inspection can be made easy.

[0078]

[Embodiment of the Invention] (1st operation gestalt) The output circuit for gradation control (driver for an electrical-potential-difference drive) where wiring for supplying supply voltage to wiring for supplying supply voltage to a differential circuit and the output-buffer section as 1st operation gestalt of this invention was separated is explained using drawing.

[0079] - Basic configuration- drawing 1 of the output circuit for gradation control for an electrical-potential-difference drive is the circuit diagram showing the configuration of the output circuit for gradation control concerning the 1st operation gestalt of this invention.

[0080] As shown in this drawing, the output circuit for gradation control of this operation gestalt The supply voltage feed zone 12 and the current feed zone 10 for connecting with the supply voltage feed zone 12, and supplying a fixed current, 1st MISFET11 which is the P channel mold MISFET to which the drain interposed between the current feed zone 10 and the supply voltage feed zone 12 and the gate electrode of each other were connected, The 1st node 23 and 2nd node 24 which were prepared between 1st MISFET11 and the supply voltage feed zone 12, The gradation control sections 1a, 1b, —, 1N (N is an integer) which have differential-circuit 7a, voltage selection switch 20a, output-buffer section 8a, and the output section 16, The gate bias supply line 15 connected to the gate electrode of the 1st MISFET, The 1st node 23 and 1 N of gradation control sections Electrical-potential-difference supply line 23a for the output sections for connecting between output-buffer section 8a, and supplying supply voltage to the output-buffer section of each gradation control section, It is prepared on electrical-potential-difference supply line 23a for the output sections. Gradation control-section 1a, 1b—, and the 1st supply voltage supply node 25 connected to the output-buffer section of 1N-1, The 1st resistor 21 interposed between the 1st supply voltage supply node 25-1st node 23 and between each 1st supply voltage supply node 25 among electrical-potential-difference supply line 23a for the output sections, The 2nd node 24 and 1 N of gradation control sections 7 Ns of differential circuits Electrical-potential-difference supply line 24a for differential circuits for connecting between and supplying supply voltage to the differential circuit of each gradation control section, It is prepared on electrical-potential-difference supply line 24a for differential circuits. Gradation control-section 1a, 1b—, and the 2nd supply voltage supply node 26 connected to the differential circuit of 1N-1, It has the 2nd resistor 22 interposed between the 2nd supply voltage supply node 26-2nd node 24 and between each 2nd supply voltage supply node 26 among electrical-potential-difference supply line 24a for differential circuits. One output circuit for gradation control is equipped with about 400-500 gradation control sections in many cases. In addition, the output circuit for gradation control of this operation gestalt is usually integrated in the same chip.

[0081] Moreover, the 1st resistor 21 of a resistor and the 2nd resistor 22 are generated according to factors, such as a layout, and not existing is an ideal.

[0082] - The gradation control section of the output circuit for gradation control of the configuration-book operation gestalt of a gradation control section has the current Miller circuit using MISFET like the conventional driver for an electrical-potential-difference drive.

[0083] 3rd MISFET3a of the P channel mold by which, as for gradation control-section 1a, the source was connected to the 1st supply voltage supply node 25 as shown in drawing 1, 2nd MISFET2a of the P channel mold by which the source was connected to the 2nd supply voltage supply node 26, Voltage selection switch 20a and operational amplifier 6a by which voltage selection switch 20a was connected to the (+) side, and the output section 16 was connected to the (-) side, [of the input section] Output side transistor 5a whose source is the N channel mold MISFET by which the drain was connected to 3rd MISFET3a and the gate electrode was connected to touch-down at the output section of operational amplifier 6a, respectively. The 3rd node 14 which was prepared between output side transistor 5a and 3rd MISFET3a, and was connected to the output section 16. It has capacitor 19a for oscillation prevention prepared between wiring which connects between the gate inter-electrode [of operational amplifier 6a] of output section-output side transistor 5a, and the output side transistor 5a-3rd node 14.

[0084] Moreover, the 2nd MISFET2a and operational amplifier 6a constitute differential-circuit 7a, and 3rd MISFET3a, the 3rd node 14, capacitor 19 for oscillation prevention a, and output side transistor 5a constitute output-buffer section 8a. Here, in gradation control-section 1a of this operation gestalt, electrical characteristics are arranged mutually, and the mutual gate electrode of each other is connected to the gate bias supply line 15, and 2nd MISFET2a and 3rd MISFET3a constitute current Miller circuit. And it sets to the output circuit for gradation control of this operation gestalt, and they are the gradation control sections 1a, 1b, —, 1N of N individual. It has the respectively same circuitry as above-mentioned gradation control-section 1a. And 2nd MISFET2a, 2b—, and a 2Ns and MISFET [3rd /a / 3 /, b / 3 /, —, 3N] gate electrode are connected to the gate bias supply line 15, respectively. 2nd MISFET2a, 2b—, and the electrical potential difference supplied to a 2Ns and MISFET [3rd /a / 3 /, b / 3 /, — 3N] gate electrode do not call at the location from the gate bias supply line 15, but it is almost the same and these MISFET(s) are always turned on.

[0085] In addition, in case it expresses in these following specifications without distinguishing gradation control sections [1a 1b, —, 1N] each, it is written as "the gradation control section 1." When it expresses without the 2nd MISFET of N individual which is the configuration component of the gradation control section 1, the 3rd MISFET, an output side transistor, an operational amplifier, and a voltage selection switch also distinguishing each, respectively It is written as "2nd MISFET2", the "3rd MISFET3", the "output side transistor 5", "an operational amplifier 6", and the "voltage selection switch 20."

[0086] - The function-gradation control section 1 of a gradation control section has 2 stage amplifier composition of the output-buffer section 8 for supplying a drive current to TFT and the pixel (not shown) of a liquid crystal panel, and the differential circuit 7 for controlling the drive current to output.

[0087] First, at the time of the drive of the output circuit for gradation control, the supply voltage of a value respectively mutual almost equal to the 2nd MISFET2 and 3rd MISFET3 is supplied from the 1st supply voltage supply node 25 and the 2nd supply voltage supply node 26. Then, current Miller circuit functions and currents I1 and I2 flow to the 2nd MISFET2 and 3rd MISFET3, respectively. In addition, since the load connected to the output section 16 is driven, the current I2 is set up so that it may become large compared with a current I1, and the ratio of the value of the current I1:current I2 has become about 1:5 with this operation gestalt.

[0088] On the other hand, the voltage selection switch 20 is a multiplexer and has the function which chooses two or more reference voltages according to digital data. And the operational amplifier 6 of a differential circuit 7 carries out current amplification of the selection electrical potential difference chosen with the voltage selection switch 20 by negative feedback being carried out. Subsequently, the electrical potential difference by which current amplification was carried out is outputted to liquid crystal or an organic EL panel from the output section 16 through the capacitor 19 for oscillation prevention. In this case, the capacitor 19 for oscillation prevention changes the phase of the output signal of an operational amplifier 6, and is stabilizing the output of an operational amplifier 6 by which negative feedback was carried out.

[0089] By the way, in the gradation control section 1, the capacitor 19 for oscillation prevention is charged according to the output current (= current I1) of an operational amplifier 6, and the current which flows the output-buffer section 8. However, since the current which flows a differential-circuit 7 side is smaller than the current which flows the output-buffer section 8 side, it changes the charging time of the capacitor 19 for oscillation prevention with the magnitude of the output current of an operational amplifier 6. If the charging time of the capacitor 19 for oscillation prevention changes, the slew rate of an operational amplifier 6 will change, and the charging time to the load connected to the output section 16 also changes. The current which flows a differential-circuit 7 side is the electrical potential difference VGS1 between the GETO sources of 2nd MISFET2. Since it changes, the output current can be made regularly by making regularity supply voltage to which the potential of the gate bias supply line 15 does not call at a location, but is supplied from the 2nd supply voltage supply node 26 in a fixed case.

[0090] - The point that the output circuit for gradation control of a difference-book operation gestalt with the conventional driver for an electrical-potential-difference drive differs from the conventional driver for an electrical-potential-difference drive is that wiring which supplies each supply voltage to a differential circuit and the output-buffer section is separated.

[0091] Thereby, it enables the output circuit for gradation control of this operation gestalt to suppress the voltage drop by the resistor small compared with the conventional driver for an electrical-potential-difference drive. Therefore, the voltage drop in the 1st supply voltage supply node 25 and the 2nd supply voltage supply node 26 in a location distant from the supply voltage feed zone 12 is suppressed, and the electrical-potential-difference difference by the location of the 1st supply voltage supply node 25 and the 2nd supply voltage supply node 26 can be made small.

[0092] Moreover, since it calls [the potential of the gate bias supply line 15 / at a location] in the output circuit for gradation control of this operation gestalt and is fixed, it is the electrical potential difference VGS1 between the GETO sources of 2nd MISFET2. Dispersion is also suppressed. For this reason, the current which flows a differential circuit 7 is not concerned with distance from the supply voltage feed zone 12, but becomes almost fixed, and can make the slew rate of an operational amplifier 6 regularity mostly.

[0093] Therefore, since the charging time to a load can be made regularity by using the output circuit for gradation control of this operation gestalt, a liquid crystal panel without display nonuniformity and the organic EL panel of an electrical-potential-difference write-in method are realizable.

[0094] In addition, in the output circuit for gradation control of this operation gestalt, the electrical potential difference supplied to a display etc. with the voltage selection switch 20 is changed, and this is performing gradation control.

[0095] In addition, the output circuit for gradation control of this operation gestalt is used as a liquid crystal drive driver, and also it is used for the head of the printer in which it is indicated by gradation by the electrical potential difference etc.

[0096] In addition, although the ratio of the value of the current I1:current I2 is set as about 1:5 with this operation gestalt, if it is $I1 < I2$, there will be especially no limit in the ratio of a current value.

[0097] In addition, in the output circuit for gradation control of this operation gestalt, although the P channel mold MISFET was used as MISFET which constitutes current Miller circuit, it may replace with this and the N channel mold MISFET may be used.

[0098] In addition, in the output circuit for gradation control of this operation gestalt, it can consider as the driver for a current drive by using the bipolar transistor of a npn mold instead of MISFET contained in the gradation control section 1.

[0099] (2nd operation gestalt) Drawing 2 (a) and (b) are the circuit diagram showing the configuration of the output circuit for gradation control (driver for an electrical-potential-difference drive) which starts the 2nd operation gestalt of this invention, respectively, and drawing showing the relation between the power-source potential in a supply voltage supply line, and the distance from a supply voltage feed zone.

[0100] The output circuit for gradation control for the electrical-potential-difference drive of this operation gestalt is the electrical potential difference VGS1 between the GETO sources of each 2nd MISFET2 and each 3rd MISFET3 by giving an inclination to the potential of the gate bias supply line 15. And VGS2 It fixes mostly.

[0101] As shown in drawing 2 (a), the output circuit for gradation control concerning the 2nd operation gestalt of this invention The supply voltage feed zone 12 and the gradation control sections 1a, 1b, —, 1N (N is an integer) which are connected to the supply voltage feed zone 12, and have the output section 16, 1st current feed zone 10a for connecting with touch-down and supplying a fixed current, 1st MISFET11 which is the P channel mold MISFET to which the drain interposed between 1st current feed zone 10a and the supply voltage feed zone 12 and the gate electrode of each other were connected, The 1st node 18 prepared between 1st MISFET11 and the supply voltage feed zone 12, A drain is connected with the 2nd current feed zone 31 for supplying a fixed current at the 2nd current feed zone 31. MISFET30 for inclination bias which is the P channel mold MIS transistor to which the drain and the gate electrode of each other are connected, The gate bias supply line 15 which connects mutually the gate electrode of 1st MISFET11, and the gate electrode of MISFET30 for inclination bias, The supply voltage supply wiring 4 for connecting mutually the 1st node 18 and the source of MISFET30 for inclination bias, and supplying supply voltage to each gradation control section 1, It is prepared on the supply voltage supply wiring 4, and they are the gradation control sections 1a, 1b, —, 1N. It has the supply voltage supply node 17 connected, respectively and the resistor 13 interposed between each supply voltage supply node 17 and between the supply voltage supply node 17 and the 1st node 18. In addition, the output circuit for gradation control of this operation gestalt is usually integrated in the same chip like the 1st operation gestalt. Moreover, the output circuit for gradation control concerning future operation gestalten is integrated similarly.

[0102] In addition, as long as MISFET30 for inclination bias is the same conductivity type as 1st MISFET11, either a P channel mold or an N channel mold is OK as it.

[0103] Moreover, in this operation gestalt, the gradation control section 1 has the same configuration as the 1st operation gestalt.

[0104] As shown in drawing 2 (a), namely, the gradation control section 1 while the source of each other was connected, it connected with the supply voltage supply node 17 — both with 2nd MISFET2a of a P channel mold, and 3rd MISFET3a Voltage selection switch 20a and operational amplifier 6a by which the voltage selection switch was connected to the (+) side, and the output section 16 was connected to the (-) side, [of the input section] Output side transistor 5a whose source is the N channel mold MISFET by which the drain was connected to 3rd MISFET3a and the gate electrode was connected to touch-down at the output section of operational amplifier 6a, respectively, The 2nd node 14 which was interposed between output side transistor 5a and 3rd MISFET3a, and was connected to the output section 16, Gate inter-electrode and output side transistor 5a of the output section-output

side transistor of operational amplifier 6a - It has capacitor 19a for oscillation prevention prepared between wiring which connects between the 2nd node. Moreover, the 2nd MISFET2a and operational amplifier 6a constitute differential-circuit 7a, and 3rd MISFET3a, the 2nd node 14, capacitor 19 for oscillation prevention a, and output side transistor 5a constitute output-buffer section 8a.

[0105] The description of the output circuit for gradation control of this operation gestalt is in the point that the 2nd current feed zone 31 and MISFET30 for inclination bias are formed. The voltage drop of the supply voltage supply node 17 has protected that the electrical potential difference between the gate-sources of 2nd MISFET2 and 3rd MISFET3 (VGS1 and VGS2) decreases so that this may explain below.

[0106] Moreover, MISFET30 for inclination bias is working [of this equipment], and a usual state with the ON state. Therefore, the potential by the side of the drain of MISFET30 for inclination bias is the potential to which the voltage drop of the potential of the supply voltage feed zone 12 was carried out by the resistor 13 at least. And since the drain and gate electrode of MISFET30 for inclination bias are connected mutually, the potential of the gate electrode of MISFET30 for inclination bias is lower than the potential of the gate electrode of 1st MISFET11. Therefore, an electric potential gradient to which potential becomes low is formed as are shown in drawing 2 (b) and it separates from the supply voltage feed zone 12 on the gate bias supply line 15. And in the output circuit for gradation control of this operation gestalt, it makes it possible to make regularity mostly the electrical potential difference between the gate-sources of each 2nd MISFET2 and 3rd MISFET3 (VGS1 and VGS2) by setting up so that the voltage drop in the supply voltage supply wiring 4 may be comparatively alike and the electric potential gradient in the gate bias supply line 15 may be proportional mostly.

[0107] Current I1 which is not concerned with distance from the supply voltage feed zone 12, but flows 2nd MISFET2 by this A value can be mostly made regularity and the slew rate of an operational amplifier 6 can be mostly made regularity. Consequently, according to the output circuit for gradation control of this operation gestalt, it becomes possible to supply the voltage signal which has a uniform current value from the output section 16 of all the gradation control sections 1 to TFT and a pixel.

[0108] Moreover, in the output circuit for gradation control of this operation gestalt, wiring for supplying supply voltage to wiring for supplying supply voltage to a differential circuit 7 and the output-buffer section 8 is not separated. Since the area of MISFET30 for inclination bias is very small compared with the area of an electrical-potential-difference supply line, compared with the output circuit for gradation control of the 1st operation gestalt, as for the output circuit for gradation control of this operation gestalt, area is small. When a drive driver is used for a liquid crystal panel, it has many outputs (400 to 500 output), and is arranged at the side edge of a panel. Therefore, since a panel is miniaturized, it is important that the area of a drive driver is small.

[0109] Moreover, since the supply voltage of a differential circuit 7 and the output-buffer section 8 is supplied from the supply voltage supply wiring 4, it is not based on dispersion in the resistance of a resistor 13 etc., but the supply voltage of a value respectively almost equal to the differential circuit 7 and the output-buffer section 8 in one gradation control section 1 is supplied [in / both / the output circuit for gradation control of this operation gestalt]. This is also advantageous in order to make the slew rate of an operational amplifier regularity.

[0110] As mentioned above, since the slew rate of an operational amplifier 6 can be fixed mostly and the charging time to a load can be made regularity by using the output circuit for gradation control of this operation gestalt, the display nonuniformity in a liquid crystal panel and the organic EL panel of an electrical-potential-difference write-in method can be stopped.

[0111] Moreover, since the output circuit for gradation control of this operation gestalt can make area smaller than the output circuit for gradation control of the 1st operation gestalt, it is advantageous to integration and is preferably used also for a liquid crystal panel with small size.

[0112] In addition, in the output circuit for gradation control of this operation gestalt, although the current Miller circuit in the gradation control section 1 was constituted from a P channel mold MISFET, it may replace with this and the N channel mold MISFET may be used. In that case, what is necessary is just to use both 1st MISFET11 and MISFET30 for inclination bias as the N channel mold MISFET. This is the same also in the output circuit for gradation control concerning the following operation gestalten.

[0113] In addition, also in the gradation control section 1 of this operation gestalt, although the ratio of the value of the current I1:current I2 is set as about 1:5, if it is $I1 < I2$, there will be especially no limit in the ratio of a current value.

[0114] Moreover, in the output circuit for gradation control of this operation gestalt, although the 2nd current feed zone 31 and MISFET30 for inclination bias were formed in order to form an electric potential gradient on the gate bias supply line 15, it may replace with this and the current feed zone which became independent in the supply voltage feed zone 12, and the low-battery feed zone which has potential lower than the potential of the gate electrode of 1st MISFET11 may be prepared.

[0115] In addition, although the output circuit for gradation control was explained above, the output circuit for gradation control for performing gradation control by the current is realizable by using the current addition mold D/A converter which replaces with the gradation control section 1 and has two or more current mirrors. even in this case, every — the electrical potential difference between the gate-sources of MISFET which constitutes a D/A converter — mutual — etc. — it spreads — since it has become, the output current can be made regularity. Such an output circuit for gradation control can be used as the driver for an organic EL panel and inorganic EL panels, and a head of an LED printer. The output circuit for gradation control for a current drive is explained in full detail behind.

[0116] (3rd operation gestalt) The output circuit for gradation control concerning the 3rd operation gestalt of this invention combines the output circuit for gradation control concerning the 1st operation gestalt and the 2nd operation gestalt.

[0117] Drawing 3 is the circuit diagram showing the configuration of the output circuit for gradation control for an electrical-potential-difference drive concerning the 3rd operation gestalt of this invention. In addition, drawing 1 and the same sign as 2 are given to the 1st and 2nd same components and same circuits as an operation gestalt.

[0118] As shown in drawing 3, the output circuit for gradation control of this operation gestalt The supply voltage feed zone 12 and the gradation control section 1 of N individual which is connected to the supply voltage feed zone 12, and has a differential circuit 7, the voltage selection switch 20, the output-buffer section 8, and the output section 16, 1st current feed zone 10a for connecting with touch-down and supplying a fixed current, 1st MISFET11 which is the P channel mold MISFET to which the drain interposed between 1st current feed zone 10a and the supply voltage feed zone 12 and the gate electrode of each other were connected, The 1st node 23 and 2nd node 24 which were prepared between 1st MISFET11 and the supply voltage feed zone 12, The 2nd current feed zone 31 for supplying a fixed current, and MISFET30 for inclination bias which is the P channel mold MIS transistor to which the source was connected to the 2nd current feed zone 31, and the drain and the gate electrode of each other were connected, The gate bias supply line 15 which connects the gate electrode of 1st MISFET11, and the gate electrode of MISFET30 for inclination bias, Electrical-potential-difference supply line 24a for differential circuits which connects mutually the 2nd node 24 and the source of MISFET30 for inclination bias, The 2nd supply voltage supply node 26 which was prepared on electrical-potential-difference supply line 24a for differential circuits, and was connected to each differential circuit 7, between the 2nd node 24 and the 2nd supply voltage supply node 26 and every — with the resistor 22 prepared between the 2nd supply voltage supply node The 1st node 23 and Nth MISFET3N [3rd] Electrical-potential-difference supply line 23a for the output sections to connect, It has the resistor 21 which was prepared on electrical-potential-difference supply line 23a for the output sections, and was prepared between the 1st supply voltage supply node 25 connected to each output-buffer section 8, and the 1st node 23 and the 1st supply voltage supply node 25, and between each 1st supply voltage supply node 25. In addition, the configuration of the gradation control section 1 is the same as that of the 1st operation gestalt.

[0119] In the output circuit for gradation control of this operation gestalt, descent of the supply voltage in the 1st supply voltage supply node 25 and the 2nd supply voltage supply node 26 which were prepared in the location distant from the supply voltage feed zone 12 can be small suppressed by separating wiring for supplying supply voltage to wiring for supplying supply voltage to a differential circuit 7, and the output-buffer section 8.

[0120] In addition, in the output circuit for gradation control of this operation gestalt, the electric potential gradient is formed on the gate bias supply line 15. Thereby, dispersion by the location of the electrical potential differences VGS1 and VGS2 between the gate-sources of 2nd MISFET2 and the 3rd MISFET is suppressed.

[0121] Therefore, in the output circuit for gradation control of this operation gestalt, according to the synergistic effect of two above-mentioned configurations, it cannot call at the location of the gradation control section 1, but precision can improve the slew rate of an operational amplifier 6 regularity more. For this reason, according to the output circuit for gradation control of this operation gestalt, the current outputted from the output section 16 of all the gradation control sections 1 can also be set constant, and can make the charging time to a load regularity. Consequently, the display nonuniformity produced in a liquid crystal panel and the organic EL panel of an electrical-potential-difference write-in method can be stopped by using the output circuit for gradation control of this operation gestalt.

[0122] (4th operation gestalt) In the output circuit for gradation control of the 1-3rd operation gestalten, the supply voltage from the supply voltage feed zone 12 is distributed to 2nd MISFET2 through a common electrical-potential-difference supply line, and the electrical potential difference VGS1 between the each (this is henceforth called "electrical-potential-difference distributing system") gate-sources is set to it so that it may become almost fixed.

[0123] On the other hand, the output circuit for gradation control of this operation gestalt establishes sink side current Miller circuit 43 in the MISFET30 side for inclination bias prepared in the location distant from the supply voltage feed zone 12, and distributes the current of magnitude equal to the current supplied from 1st current feed zone 10a to the MISFET30 side for inclination bias by the current division of current mirrors. This is henceforth called a "current delivery method."

[0124] Drawing 4 is the circuit diagram showing the configuration of the output circuit for gradation control of this operation gestalt. In addition, the same sign as drawing 3 is given to the 3rd same component and same circuit as an operation gestalt.

[0125] As shown in this drawing, the output circuit for gradation control of this operation gestalt The supply voltage feed zone 12 and the gradation control section 1 of N individual which is connected to the supply voltage feed zone 12, and has a differential circuit 7, the voltage selection switch 20, the output-buffer section 8, and the output section 16, 1st MISFET11 which is the P channel mold MISFET to which the drain interposed in order between 1st current feed zone 10a connected to touch-down, 1st current feed zone 10a, and the supply voltage feed zone 12 and the gate electrode of each other were connected, With the 1st node 23 and the 2nd node 24 which were prepared between 1st MISFET11 and a supply voltage feed zone, both with the N channel mold MISFET Sink side current Miller circuit 43 which consists of the 1st mirror MISFET43a and the 2nd mirror MISFET43b to which gate electrodes were connected mutually, A gate electrode to 1st mirror MISFET43a to the gate electrode of 1st MISFET11 [a drain] 4th MISFET41 of the P channel mold which the source is connected to the supply voltage feed zone 12, respectively, and constitutes an informer side current mirror with 1st MISFET11, MISFET30 for inclination

bias which is the P channel mold MIS transistor to which the source was connected to 2nd N channel mold MISFET43b, and the drain and the gate electrode of each other were connected, The gate bias supply line 15 which connects the gate electrode of 1st MISFET11, and the gate electrode of MISFET30 for inclination bias, Electrical-potential-difference supply line 24a for differential circuits which connects the 2nd node 24 and the source of MISFET30 for inclination bias, The 2nd supply voltage supply node 26 which was prepared on electrical-potential-difference supply line 24a for differential circuits, and was connected to each differential circuit 7, between the 2nd node 24 and the 2nd supply voltage supply node 26 and every — with the resistor 22 prepared between the 2nd supply voltage supply node The 1st node 23 and Nth MISFET3N [3rd] Electrical-potential-difference supply line 23a for the output sections to connect, It has the resistor 21 which was prepared on electrical-potential-difference supply line 23a for the output sections, and was prepared between the 1st supply voltage supply node 25 connected to each output-buffer section 8, and the 1st node 23 and the 1st supply voltage supply node 25, and between each 1st supply voltage supply node 25. Moreover, the configuration of the gradation control section 1 is the same as that of the 3rd operation gestalt.

[0126] 4th MISFET41 for the output circuit for gradation control of this operation gestalt to distribute the current supplied from sink side current Miller circuit 43 and 1st current feed zone 10a as 2nd current feed zone 31 of the 3rd output circuit for gradation control is formed.

[0127] Here, it has electrical characteristics in the same component configuration list mutually; and, as for the 1st MISFET11 and 4th MISFET41 which constitute a current mirror, 1st mirror MISFET43a and 2nd mirror MISFET43b also have the same component configuration and electrical characteristics mutually. In addition, in the output circuit for gradation control of this operation gestalt, since each of 1st MISFET11, 4th MISFET41, the 1st mirror MISFET43a, and 2nd mirror MISFET43b operates in a saturation region, the current supplied from 1st current feed zone 10a and the current which flows 2nd mirror MISFET43b are high degree of accuracy, and it is equal.

[0128] Moreover, since it becomes possible to supply a fixed current to the circuit which distance left in one bias circuit, increase of circuit area is avoidable.

[0129] In addition, since a current can be distributed according to the current delivery method, without being influenced of the voltage drop by the resistor, it becomes possible to arrange the supply voltage supplied to 2nd MISFET2 (or differential circuit 7) prepared in the location (location distant about several mm) distant from the supply voltage feed zone 12, and the supply voltage supplied to the 2nd MISFET prepared in the near location from the supply voltage feed zone 12 with a sufficient precision.

[0130] Consequently, in the output circuit for gradation control of this operation gestalt, the electrical potential difference VGS1 between the gate-sources of 2nd MISFET2 is not based on distance from the supply voltage feed zone 12, but is almost fixed, and the slew rate of an operational amplifier 6 can also be mostly made regularity. That is, the display nonuniformity produced in a liquid crystal panel and the organic EL panel of an electrical-potential-difference write-in method can be stopped by using the output circuit for gradation control of this operation gestalt.

[0131] In addition, although this operation gestalt explained the example which combines an electrical-potential-difference distributing system and a current delivery method, current Miller circuit can be prepared between each gradation control section 1, and a current delivery method can also distribute a current to all 2nd MISFET2. In this case, since area becomes large, it is desirable to distribute supply voltage to 2nd comparatively near MISFET2 by the electrical-potential-difference distributing system from the supply voltage feed zone 12 in fact, and to distribute a current to 2nd MISFET2 comparatively far from the supply voltage feed zone 12 by the current delivery method.

[0132] (5th operation gestalt) The example which applied the configuration of the output circuit for gradation control for an electrical-potential-difference drive explained with the 1-4th operation gestalten to the output circuit for gradation control for a current drive as 5th operation gestalt of this invention is explained.

[0133] Drawing 5 is drawing showing the configuration of the output circuit for gradation control concerning the 5th operation gestalt of this invention (driver for a current drive), and drawing 6 is drawing showing the detailed configuration of the gradation control circuit 51 shown in drawing 5.

[0134] As shown in drawing 5, the output circuit for gradation control of this operation gestalt The supply voltage feed zone 12 and the gradation control circuit 51 of N individual which is connected to the supply voltage feed zone 12, and functions as a D/A converter of a current addition mold, 1st MISFET11 which is the P channel mold MISFET to which the drain interposed between 1st current feed zone 10a connected to touch-down, 1st current feed zone 10a, and the supply voltage feed zone 12 and the gate electrode of each other were connected, With the 1st node 18 prepared between 1st MISFET11 and the supply voltage feed zone 12, both with the N channel mold MISFET Sink side current Miller circuit 43 which consists of the 1st mirror MISFET43a and the 2nd mirror MISFET43b to which gate electrodes were connected mutually, A gate electrode to 1st mirror MISFET43a to the gate electrode of 1st MISFET11 [a drain] 4th MISFET41 of the P channel mold which the source is connected to the supply voltage feed zone 12, respectively, and constitutes an informer side current mirror with 1st MISFET11, MISFET30 for inclination bias which is the P channel mold MIS transistor to which the drain was connected to 2nd N channel mold MISFET43b, and the drain and the gate electrode of each other were connected, The gate bias supply line 15 which connects the gate electrode of 1st MISFET11, and the gate electrode of MISFET30 for inclination bias, The supply voltage supply wiring 4 for supplying supply voltage to each gradation control circuit 51, It was prepared on the supply voltage supply wiring 4, and has the supply voltage supply node 17 connected to each gradation control circuit 51, respectively, and the resistor 13 interposed between each supply voltage supply node 17 and between the supply voltage supply node 17 and the 1st node 18.

[0135] Moreover, it has the output section 54 for connecting with the output side of the selecting switch 53 to which it was prepared in the drain side of the current mirror section 52 the current mirror section 52 for two or more currents addition connected to juxtaposition mutually [that, as for the gradation control circuit 51, the source is connected to the supply voltage supply node 17] as shown in drawing 6 , and for each current addition, respectively, and the output side was connected mutually, and a selecting switch 53, and supplying the output current.

[0136] Moreover, the current mirror section 52 for current addition consists of P channel molds MISFET each other connected to juxtaposition, and, in the case of 6-bit gradation (64 gradation), consists of 1, 2, 4, 8, and 16 or 32 P channel molds MISFET, respectively. And the selecting switch 53 has the transfer gate section 49 which consists of an N channel mold MISFET and a P channel mold MISFET, and the inverter 50 by which the output side was connected to the N channel mold MISFET. As for each selecting switch 53, turning on and off is controlled by digital data L0, L1, —, L5 in order. Moreover, an equal current flows mutually [MISFET which constitutes the current mirror section 52 for current addition / since electrical characteristics are arranged mutually, when a selecting switch 53 is ON] in the P channel each mold MISFET of the current mirror section 52 for current addition.

[0137] This configuration enables it to supply the current of 64 kinds of magnitude from the output section 54 in the output circuit for gradation control of this operation gestalt. in addition — since dispersion in the amount of currents outputted from the output section 54 between the gradation control circuits 51 of the output circuit for gradation control of this operation gestalt is suppressed as the 4th operation gestalt explained, if the output circuit for gradation control of this operation gestalt uses — organic electroluminescence and inorganic — while gradation control of the panel using the light emitting device of current drives, such as EL and LED, is realized, control of display nonuniformity is also realized. Moreover, a printer with little printing nonuniformity is realizable by using the output circuit for gradation control of this operation gestalt for the head of the printer using these light emitting devices.

[0138] Moreover, in the output circuit for gradation control of this operation gestalt, since it is not necessary to form the operational amplifier which needs a comparatively big area, it becomes possible to reduce a chip size compared with the output circuit for gradation control for the current drive of the type using an operational amplifier, or the output circuit for gradation control for an electrical-potential-difference drive.

[0139] What is necessary is just to form 1, 2, —, the current mirror section 52 for current addition that has M/2 MISFET in one gradation control circuit 51, respectively, in order to realize a n bits (M gradation; $M=2n$) gradation display although the above explanation showed the example of the output circuit for gradation control which realizes 64 gradation. Here, the number of M is even [forward], for example, it is forming further the current mirror section 52 for current addition which has 64 P channel molds MISFET in the gradation control circuit 51 of this operation gestalt, and the gradation display of 128 gradation is attained.

[0140] Moreover, in this operation gestalt, although the number of MISFET of the current mirror section 52 for current addition had realized the gradation display, one MISFET per number of bits is prepared, and it is good also considering the value of those gate width (W) / gate length (L) as 1, 2, 4, —, 32. However, as for the precision of the output current, the direction which performs gradation control by the number of MISFET becomes high.

[0141] thus, the output circuit for gradation control of this operation gestalt — setting — the 1— an organic EL panel with little brightness nonuniformity is realizable by replacing with the gradation control section 1 of the output circuit for gradation control explained with the 4th operation gestalt, and preparing a current addition mold D/A converter.

[0142] In addition, in the output circuit for gradation control of this operation gestalt, the N channel mold MISFET may be used as MISFET which constitutes the current mirror section 52 for current addition.

[0143] In addition, in the output circuit for gradation control of this operation gestalt, in having the gradation control section 1 which replaced with the gradation control circuit 51 and was used with the 2nd operation gestalt, it becomes the driver for an electrical-potential-difference drive used for a liquid crystal panel etc.

[0144] (6th operation gestalt) The output circuit for gradation control concerning the 6th operation gestalt of this invention is a current drive driver which has the following four descriptions.

[0145] First, the 1st description is the point that dispersion between the output currents is reduced, by preparing the current mirror section made multistage.

[0146] Next, the 2nd description is the point that a means to amend the difference between the brightness properties actually displayed as the brightness control given to a display was provided.

[0147] And the 3rd description is the point that the selection precharge circuit (un-illustrating) and the selection precharge control circuit 62 for assisting charge of the parasitic capacitance produced in the signal line on an indicating equipment were prepared.

[0148] Next, the 4th description is the point that the current piling control circuit 61 for carrying out piling of the output current was formed.

[0149] Drawing 9 is the block circuit diagram showing the configuration of the indicating equipment of a current drive method using the output circuit for gradation control concerning the 6th operation gestalt of this invention.

[0150] As shown in this drawing, the output circuit for gradation control of this operation gestalt The low side gradation control circuit 59 for having the low (LOW) side current-output section, and controlling one to 4-8-16 gradation, The low side current mirror section 55 for supplying reference voltage V_{st1} to the low side gradation control circuit 59, Yes (HIGH), the high side gradation control circuit 60 for having the side current-output section and controlling 4-8-16 to 64 gradation, The high side current mirror section 56 for supplying reference voltage V_{st2}

to the current piling control circuit 61 connected to the output section 64, and the high side gradation control circuit 60 and the current piling control circuit 61, respectively. It has the selection precharge control circuit 62 connected to the source signal line 58 by the side of a display.

[0151] Moreover, although simplified and shown by drawing 9, both the low side current mirror section 55 and the high side current mirror section 56 have taken the three-step configuration, and have 176 outputs, respectively. the first step of this low side current mirror section 55, and yes — the 1st (parent current source) step of the side current mirror section 56 — each — it connects with the external resistors 63a and 63b.

[0152] Moreover, from the output section 64, the current with which the output current from the current piling control circuit 61 was added to the output current from the low side current-output section and the low side current-output section is supplied to a display-panel side.

[0153] Below, the description of the output circuit for gradation control of this operation gestalt is explained. However, explanation about a piling circuit is performed with a next operation gestalt.

[0154] — In order to maintain the constant current characteristic of the multistage-ized-current Miller circuit of the current mirror section, it is necessary to limit the number of the mirror transistors connected to the common electrical-potential-difference supply line (electrical-potential-difference distributing system). This is because the effect of the voltage drop in an electrical-potential-difference supply line becomes large as it explained previously that the number of mirror transistors increased.

[0155] On the other hand, the output circuit for gradation control for a current drive has many outputs like the output circuit for gradation control for an electrical-potential-difference drive, and the numbers of outputs of the output circuit for gradation control of this operation gestalt are 176 outputs per Isshiki of R(red) -G(green) -B(blue), and are a total of 528 outputs. When supplying supply voltage from an electrical-potential-difference supply line common to the current mirror corresponding to these 176 outputs, there is a possibility that dispersion between the output currents may arise. Then, although the current delivery method which connects current mirrors will be used, since the consumed electric current will increase if the number of current divisions is made to increase, there is a trade-off with the engine performance of a product. For this reason, invention-in-this-application persons used together the electrical-potential-difference distributing system for the current delivery method, and adopted the multistage-ized structure of the current mirror section.

[0156] Drawing 7 is drawing showing the multistage type current mirror section at the time of making a current source into a three-step type.

[0157] As shown in this drawing, the current value of the 1st step current mirror (parent current source 55a) is copied to the 16 2nd step current mirrors (child current source 55b) by current Miller circuit. Furthermore, the current value of child current source 55b is also copied to the 11 3rd step current mirrors (grandchild current source 55c) by current Miller circuit. Thus, the current of equal magnitude is mutually distributed to MISFET which constitutes the current mirror of each stage. By the above-mentioned configuration, the current value of parent current source 55a will be transmitted to $16 \times 11 = 176$ piece grandchild current source 55c. According to the configuration of this current mirror section, dispersion in the output current value from grandchild current source 55c can be made smaller than the case where the current value of parent current source 55a is directly transmitted to 176 grandchildren current source 55c. Therefore, display nonuniformity can be made small when the multistage type current mirror section is used for an organic electroluminescence display etc.

[0158] Since the output circuit for gradation control of this operation gestalt is equipped with the multistage type current mirror section of an above-mentioned three-step configuration, dispersion in the reference voltages V_{st1} and V_{st2} inputted into each low side gradation control circuit 59 is small. Therefore, dispersion in the output current from each low side current-output section and a high side current output is also reduced.

[0159] In addition, the number of stages of the current mirror section may be three or more steps, and may change the number of outputs of the current mirror section into a suitable number.

[0160] — The brightness of the light emitting device to gamma amendment which tackles and is used for — display does not necessarily go up to force current under direct proportion. The rate of increase [as opposed to brightness in the direction when force current is larger than the time when force current is small] of a current is large. This is a property which is called gamma characteristics and seen also in the case of liquid crystal.

[0161] Drawing 8 is drawing showing the gradation level-output current property of the current which the output circuit for gradation control for a current drive outputs.

[0162] In the output circuit for gradation control for a current drive, in order to control gradation by combination of the unit current source using a current mirror, when the number of the current mirror sections which perform gradation control is one, the graph of the gradation level pair output current becomes a straight line. Therefore, the brightness of the light emitting device on a panel might shift from a setup.

[0163] Then, in order that invention-in-this-application persons might solve this fault, in the current mirror section and the gradation control circuit of the output circuit for gradation control which are used for a display, by dividing into two by the side of a low and a high, when the output current was small, the current was outputted only from the low side current-output section, and when the output current was large, the current from the high side current-output section was added to the current from the low side current output.

[0164] In the output circuit for gradation control of this operation gestalt, the output current from the low side gradation control circuit 59 which can control even one to 16 gradation independently is always outputted from the output section 64, and the output current from the high side gradation control circuit 60 which can control 4, 8, 16, 32, and 64 gradation is outputted from the output section 64 only at the time of the gradation control exceeding 16

gradation.

[0165] Consequently, the property of the output current is approximated to the gamma characteristics of a light emitting device, as the arrow head showed in drawing 8. In the example of this operation gestalt, the inclination of a gradation level-output current property graph exceeds 10nA(s) / gradation, and 16 with 16 or less gradation, and even 64 gradation is 40nA(s) / gradation.

[0166] Here, turning on and off of the switching circuit in the low side gradation control circuit 59 and the high side gradation control circuit 60 is controlled by gamma amendment control signals G0-G1 and the image data D0-D5 which are impressed through a data-conversion circuit and a two-step latch.

[0167] Thereby, when using the output circuit for gradation control of this operation gestalt for an organic EL panel etc., gradation control as a setting can be performed.

[0168] The output circuit for gradation control of this operation gestalt where the cure of such gamma amendment was taken is used for the display which used not only organic electroluminescence but light emitting devices, such as inorganic [EL or LED]. Moreover, it can use also for the printer head using these light emitting devices.

[0169] in addition — although drawing 9 showed the example of the output circuit for gradation control for the current drive of only one color — organic electroluminescence and inorganic — since gamma characteristics differ for every color of R, G, and B in light emitting devices, such as EL and LED, it is desirable to prepare the multistage type current mirror section which has different output characteristics to the output of each color of R, G, and B.

[0170] In addition, although the gradation-output current property was made to approximate to gamma characteristics in the output circuit for gradation control of this operation gestalt because the current mirror section which has the mutually different linear characteristic combines, more accurate approximation is realized by constructing three and combining the above multistage type current mirror section and gradation control circuit.

[0171] — As shown in selection precharge control circuit— drawing 24, in the organic EL panel, much TFT(s) of the P channel mold which consists of low-temperature polish recon, for example are arranged. Current I0 drawn in the output circuit side for gradation control from a panel by this panel If it enlarges, since a big current will flow also to TFT and an organic EL device, the brightness of an organic EL device becomes high. White is displayed at this time.

[0172] On the contrary, if the drain electrical potential difference of TFT is made high, in order that a current may decrease, black is displayed on a panel. In order to make a drain electrical potential difference high at this time, it is necessary to raise the potential of the source signal line 58 to near the potential of a panel.

[0173] However, there is big parasitic capacitance in the signal line of a panel, and in case it is a black display, it is necessary to charge this parasitic capacitance. However, since it was low a single figure and current capacity was smaller than the silicon crystal, the prompt black display was difficult for the mobility of low-temperature polish recon.

[0174] Although what is necessary is just to enlarge the W/L ratio of TFT in order to improve current capacity, since TFT in a pixel is arranged on the display pixel, if a large W/L ratio is taken, the fault that the numerical aperture of a display will fall will produce it.

[0175] In order to solve this, invention-in-this-application persons decided to perform precharge from a drive circuit side as a result of examination. That is, a fixed period was charged for the parasitic capacitance of the source signal line 58, and the selection precharge circuit and selection precharge control circuit for compensating the current capacity of low-temperature polish recon were prepared all over the output circuit for gradation control.

[0176] Drawing 10 is the circuit diagram showing an example of the selection precharge circuit in the output circuit for gradation control of this operation gestalt, and a selection precharge control circuit.

[0177] As shown in this drawing, the transfer gate 70 which consisted of N channel mold MISFET70a and P channel mold MISFET70b, and the output section are connected to the gate electrode of N channel mold MISFET70a, and selection precharge circuit 62a in this operation gestalt has the inverter 71 by which the input section was connected to the gate electrode of P channel mold MISFET70b. The source of the transfer gate 70 is connected to the supply voltage feed zone for supplying supply voltage PV, and the drain is connected to the output section of a gradation control circuit through the current-output node 77.

[0178] Moreover, the selection precharge control circuit 62 has NOR circuit 74, OR circuit 75, and NAND circuit 76 that outputs the signal for controlling selection precharge circuit 62a. In addition, these selection precharge circuits and a selection precharge control circuit are integrated by the chip as a part of output circuit for gradation control.

[0179] Timing control of the selection precharge circuit 62a in this operation gestalt is carried out, and it is controlled by the selection precharge control circuit 62 so that image data outputs the electrical potential difference near black level on which only the first fixed period of 1 level period is equivalent to black level, for example in the case of 0-7. Thereby, when image data is close to black level, the parasitic capacitance of the source signal line 58 is charged beforehand, and the quality of a black display can be raised.

[0180] Since the transfer gate 70 is controlled off, charge of parasitic capacitance is not performed at the other period.

[0181] Moreover, since a precharge period can be alternatively controlled when the image data near black level is inputted if the selection precharge control circuit 62 and selection precharge circuit 62a are used, in a panel with comparatively small parasitic capacitance, useless power consumption can be held down especially.

[0182] In addition, the output circuit for gradation control equipped with the selection precharge control circuit 62 and selection precharge circuit 62a is preferably used also for control of the panel which has TFT which used the amorphous silicon.

[0183] In addition, the above-mentioned function of the selection precharge control circuit 62 and selection

precharge circuit 62a is not concerned with the existence of the low side current mirror section 55 and the high side current mirror section 56, or the existence of gamma amendment means, but is demonstrated. Moreover, the selection precharge control circuit 62 and selection precharge circuit 62a are effective also in the display which used light emitting devices other than organic electroluminescence.

[0184] In addition, in the output circuit for gradation control of this operation gestalt, although the display nonuniformity of a display can be stopped compared with the conventional output circuit for gradation control even if it does not have the current piling control circuit 61, the selection precharge control circuit 62, and selection precharge circuit 62a, the direction in the case of having these circuits can make possible image display with a more high precision.

[0185] (7th operation gestalt) It has the circuitry same as 7th operation gestalt of this invention as the output circuit for gradation control concerning the 6th operation gestalt, and the output circuit for gradation control (driver for a current drive) where the layout has been improved is explained.

[0186] Drawing 11 is drawing showing the example of reference of the layout of the output circuit for gradation control concerning the 6th operation gestalt of this invention, and drawing 12 is drawing showing the layout of the output circuit for gradation control concerning the 7th operation gestalt of this invention. In addition, the layout for which the example of drawing 11 and drawing 12 used two-layer wiring is shown.

[0187] Although width of face is usually several mm, in order that the drive driver for indicating equipments may make size of the side edge of a panel small and may aim at contraction of panel size, the formation of small area of a circuit is important. Then, invention-in-this-application persons considered the improvement of the layout of the output circuit for gradation control of the 6th operation gestalt.

[0188] In the output circuit for gradation control shown in drawing 11 and drawing 12, the child (2nd step) current source LCCS of the low side current mirror section and the child current source HCCS of the high side current mirror section constructed one, and a next door and it are located in a line with the horizontal single tier by 16 pieces in order for the object for R (red), the object for G (green), and B (blue). And from the child current source LCCS of the low side current mirror section, wiring was prolonged toward every 11 low side current output circuits LDRV, respectively, and wiring is prolonged toward every 11 high side current output circuits HDRV, respectively from that of the child current source HCCS of the high side current mirror section. Furthermore, from [both] the low side current output circuit LDRV and the high side current output circuit HDRV, wiring is prolonged toward the output-control circuit OCTL.

[0189] Here, the grandchild current source of the low side current mirror section 55 shown in drawing 9 and the low side gradation control circuit 59 are included in the low side current output circuit LDRV, and the grandchild current source of the high side current mirror section 56 and the high side gradation control circuit 60 are included in the high side current output circuit HDRV. Moreover, the output section 64 and selection precharge control circuit 62 grade are contained in the output-control circuit OCTL.

[0190] As shown in drawing 11, at the example of reference of a layout, the low side current output circuit LDRV, the high side current output circuit HDRV, and the output-control circuit OCTL are R, G, B, R, G, and B to the order from the left-hand side of drawing. — It is arranged in order. According to this layout, like wiring which expressed with the thick wire of the right-hand side shown in drawing 11, while there is comparatively short wiring, wiring which becomes extremely long arises. Moreover, it turns out that the crossover of wiring increases and wiring is complicated.

[0191] On the other hand, as shown in drawing 12, with the layout of this operation gestalt, they are collectively arranged by the current output circuit and output-control circuit which were connected to 1 set of the child current source LCCS of the low side current mirror section for R, and the child current source HCCS of the high side current mirror section. Moreover, the low side current output circuit LDRV, the high side current output circuit HDRV, and the output-control circuit OCTL are arranged in the shape of a matrix, the low side current output circuit LDRV and the 2nd line become the high side current output circuit HDRV, and the 3rd line has become [the 1st line] the output-control circuit OCTL.

[0192] The crossover of wiring can also be reduced when extremely long wiring which was seen according to such a layout in the example of reference shown in drawing 11 can be lost. For this reason, the wiring field of a before [from the current mirror section / the output-control section] can be reduced.

[0193] In addition, although only the object for R was shown in drawing 12, the arrangement to which only the object for G hardened only the object for B follows in order the side of the field shown in this drawing.

[0194] Drawing 13 is the plugging chart showing the output wiring field of the output circuit for gradation control of this operation gestalt.

[0195] As shown in this drawing, when applying the layout of this operation gestalt, leading about of wiring to the output terminal from the output section (IOUT 1-11) of the output-control circuit OCTL to a display panel becomes long compared with the above-mentioned example of reference to leading about of wiring from the current mirror section to the output-control section being reduced.

[0196] However, it is more effective for area reduction of a wiring field to simplify wiring from the current mirror section to the output-control section, since the output-control section and the output terminal to a display panel correspond 1:1 times in the output circuit for gradation control of this operation gestalt to the current mirror section and the output-control section serving as 2:1 correspondences.

[0197] For this reason, when preparing three or more current output circuits for gamma amendment, according to the layout of the output circuit for gradation control of this operation gestalt, as compared with the layout of the

example of reference, the area of a wiring field can be reduced still more effectively.

[0198] In addition, in this operation gestalt, although it was 176 outputs per parent current source, and per [R, G, and B] chip were doubled and the example which is $3 = 176 \times 528$ output was explained, the layout of this operation gestalt is applicable also to the output circuit for gradation control where the numbers of outputs differ.

[0199] Moreover, in case the output circuit for gradation control is used as a head of a color printer, the pixel to drive may be four or more colors, but if the layout of this operation gestalt is used also in this case, remarkable increase of wiring area can be prevented.

[0200] (8th operation gestalt) The example in which the layout of the gradation control circuit 51 explained with the 5th operation gestalt has been improved as 8th operation gestalt of this invention is explained. This layout is applied also about the low side gradation control circuit 59 in the 6th operation gestalt, and a high side gradation control circuit.

[0201] Drawing 14 (a) and (b) are the circuit diagram showing the configuration of a gradation control circuit, respectively, and drawing showing roughly the example of reference of the layout of this gradation control circuit.

[0202] As shown in drawing 14 (a), it connects with two or more current mirror sections 52 which consisted of P channel molds MISFET which have the same component configuration mutually, and each current mirror section 52, and the gradation control circuit 51 shown in drawing 6 consists of the current mirror section 52 and a selecting switch 53 of the same number. And each selecting switch 53 consists of the transfer gate 49 which consisted of a P channel mold MISFET and an N channel mold MISFET, and an inverter 50. The output from all the selecting switches 53 goes to the common output section IOUT through output wiring.

[0203] Since the output current from all the selecting switches 53 will be collected by this output wiring, it is important for it to lower the impedance of this output wiring, when raising the precision of the output current.

[0204] Moreover, as shown in drawing 14 (b), the example of reference of the layout of the gradation control circuit 51 is collected and arranged for each part of the current mirror section 52 (CM), the transfer gate 49 (TG), and an inverter 50 (IN). According to this layout, there is an advantage of being easy to produce a mask, at an impurity diffusion process, an etching process, etc. of the semiconductor chip which integrated the gradation control circuit 51.

[0205] However, wiring had become redundancy, in order according to the layout of this example of reference to summarize the components in the location distant in the circuit diagram so that drawing 14 (b) may also show. Since the width of face of the driver for a current drive used for a panel is about several mm, by existence of output wiring and redundancy wiring which goes to hard flow, the width of face of output wiring will become narrow, and the output impedance of the gradation control circuit 51 will become large.

[0206] Then, invention-in-this-application persons tried the improvement of circuit arrangement.

[0207] Drawing (it is the same as drawing 14 (b)) showing [the circuit diagram (it is the same as drawing 14 (a)) in which drawing 15 (a) shows the configuration of a gradation control circuit, and / this] roughly the example of reference of the layout of this gradation control circuit (b), and this drawing (c) are drawings showing roughly the layout of the gradation control circuit concerning this operation gestalt.

[0208] As shown in drawing 15 (c), the layout of the gradation control circuit of this operation gestalt arranges in a bundle by carrying out the current mirror section 52, and the transfer gate 49 and the inverter 50 which were connected to it, and it is arranged at a single tier according to circuitry. That is, supposing it calls a settlement of the current mirror section 52, and the transfer gate 49 and the inverter 50 which were connected to it the "gradation generation section", it has the form where the gradation generation section of number-of-bits **** is arranged at a single tier.

[0209] According to the layout of the gradation control circuit of this operation gestalt, since each component is arranged according to circuitry, redundant wiring as shown in drawing 15 (b) is not produced. It becomes possible to expand the width of face of output wiring of a gradation control circuit, and to reduce the output impedance of a gradation control circuit by this.

[0210] Moreover, since redundant wiring can be lost and wiring area can be reduced, the area of the chip which integrated the gradation control circuit can be reduced greatly.

[0211] In addition, the layout of the gradation control circuit of this operation gestalt is applicable also to the gradation control circuit of the type which performs gradation control by changing the value of the gate width/gate length of MISFET.

[0212] (9th operation gestalt)

- In the panel of a current drive method using a current piling circuit-light emitting device, there is contrast adjustment to which the whole brightness is changed as an approach of improving a display property.

[0213] The circuit for realizing this contrast adjustment is a current piling control circuit. This is a circuit for outputting the current for carrying out piling of the output current from the high side gradation control circuit 60 and the low side gradation control circuit 59 in response to the piling signals K0-K1.

[0214] For example, in the output circuit for gradation control concerning the 6th operation gestalt, the piling current from this current piling control circuit is inputted into the output section 64 of a gradation control circuit. In this case, in case all gradation is controlled, piling of the current outputted from the output section 64 is carried out.

[0215] However, since it was necessary to perform piling of the output current about all the outputs of a gradation control circuit, the current piling control circuit 61 shown in drawing 9 had only one of whether it connects with as common the high side current mirror section 56 as the high side gradation control circuit 60, or it connects with the

current mirror section 65 for piling circuits prepared separately.

[0216] Drawing 16 (a) and (b) are the block circuit diagrams showing the example of the output circuit for gradation control at the time of forming drawing showing the current value-gradation level property of the output circuit for gradation control shown in this drawing (b), respectively, and the current mirror section 65 for piling circuits.

[0217] In the output circuit for gradation control shown in drawing 9 and drawing 16, although there is effectiveness of the current piling control circuit 61, the area of wiring or the current mirror section will increase.

[0218] - Output circuit- drawing 17 for gradation control of this operation gestalt is drawing showing a current piling control circuit among the output circuits for gradation control of this operation gestalt.

[0219] In addition, the output circuit for gradation control of this operation gestalt is used for the head of the driver for a current drive of an indicating equipment, and a printer etc.

[0220] The low side gradation control circuit 59 where the output circuit for gradation control of this operation gestalt was connected to the output section 64, The low side current mirror section 55 for supplying reference voltage V_{st1} to the low side gradation control circuit 59, The current piling control circuit 66 prepared between the low side current mirror section 55 and the low side gradation control circuit 59, yes connected to the low side output section 64 — the side gradation control circuit 60 and yes — in order to supply reference voltage V_{st2} to the side gradation control circuit 60 — yes, it has the side current mirror section 56 and the selection precharge control circuit 62 connected to the source signal line 58 by the side of a display.

[0221] As shown in drawing 17, the current piling control circuit 66 consists of switching circuits which determine turning on and off according to the current mirror section which has one piece and two current mirrors, respectively, and the piling signals K0 and K1.

[0222] Since this current piling control circuit 66 has the configuration similar to the low side gradation control circuit 59, it does not newly need to prepare the current mirror section the top where manufacture is easy. For this reason, the output circuit for gradation control of this operation gestalt can reduce area sharply compared with the output circuit for gradation control shown in drawing 9 and drawing 16 (b).

[0223] In addition, it is only the output current of the low side gradation control circuit 59 that the current piling control circuit 66 in this operation gestalt performs piling. However, since the output current of the low side gradation control circuit 59 is always outputted from the output section 64, the fault by this is not produced. In addition, it is more important to carry out piling of the current which controls gradation lower than high gradation.

[0224] Thus, according to the output circuit for gradation control of this operation gestalt, the contrast adjustment by the current piling control circuit is easily realizable, suppressing the increment in area.

[0225] (10th operation gestalt) The test equipment of the output circuit for gradation control (driver for a current drive) explained with the old operation gestalt as 10th operation gestalt of this invention is explained.

[0226] The current per [which is used for a current drive method] 1 gradation of the output circuit for gradation control is 10nA-20nA, and the current value of it which should be detected at the time of inspection is the same as this. For this reason, it is necessary to transmit the minute inspection current outputted from the output circuit for gradation control to the semi-conductor circuit tester 79, without making it decrease.

[0227] In order to solve this, invention-in-this-application persons considered changing and transmitting the detection current which is a very small current to an electrical potential difference.

[0228] Drawing 18 (a) and (b) are the sectional view showing the probe card concerning the 10th operation gestalt of this invention for inspecting the output circuit for gradation control for a current drive, respectively, and the block circuit diagram showing the cross section of this probe card.

[0229] As shown in drawing 18 (a) and (b), the probe card of this operation gestalt The probe 83 which a top face is prepared on the inferior surface of tongue of the substrate 78 which can be installed in the semi-conductor circuit tester 79, and a substrate 78, and consists of a conductor, It has been arranged within about 10cm from the root of a probe 83 on a substrate 78, and it connected with the highly precise resistor 88 connected to the probe 83, and the resistor 88, and has wiring prepared by penetrating a substrate 78.

[0230] Moreover, on the inspected wafer 82, the checking pad 87 (or bump) and the internal circuitry which was connected to the pad 87 and which is not illustrated are prepared.

[0231] The semi-conductor circuit tester 79 has the comparator for comparing with reference voltage the inspection signal outputted from the inspected wafer 82.

[0232] Next, the inspection routine using the probe card of this operation gestalt is explained briefly.

[0233] First, a probe card 78 is set to the semi-conductor circuit tester 79 at the time of inspection, and a probe 83 is made to contact the pad 87 of the inspected wafer 82. In this condition, the current of a predetermined value is inputted into the pad 87 on the inspected wafer 82 from a probe 83.

[0234] Next, the current signal according to the inputted current is transmitted to a probe 83 from a pad 87. At this time, as shown in drawing 18 (b), the current signal from the inspected wafer 82 is transformed into a voltage signal by the resistor 80 arranged at the latest of a probe 83. This voltage signal is transmitted to the semi-conductor circuit tester 79 through wiring 86 and the connection wiring 85 of a probe card 78, the jig which is not illustrated.

[0235] Next, the voltage signal inputted into the semi-conductor circuit tester 79 is inputted into the negative side input section of a comparator, and is compared with predetermined reference voltage. In this case, if the difference of a voltage signal and reference voltage is fixed within the limits, a product will be judged to be "success."

[0236] Generally, compared with a current signal, it is hard to decrease a voltage signal in a transmission route.

Therefore, the semi-conductor circuit tester 79 can be made to transmit the signal from an inspected wafer certainly in the probe card of this operation gestalt by transforming the current signal from the inspected wafer 82

into a voltage signal by the resistor 80. However, in the probe card of this operation gestalt, since the path of the signal which passes along a resistor 80 has the large impedance, it is desirable [a path] to take the measures against shielding so that it may not be influenced of a disturbance noise.

[0237] In addition, as for the distance of a probe 83 and a resistor 80, in the probe card of this operation gestalt, it is desirable that it is about 10cm or less. This is because there is a possibility that a current signal may decline by the time it results in a resistor 80 when the distance between a probe 83 and a resistor 80 becomes large too much.

[0238] Moreover, although the probe card shown here is a thing of a type which inspects a wafer for every chip, even if it is a probe card for wafer burn-ins, it is preparing a highly precise resistor in the latest of a probe, and inspection of the wafer which has an output circuit for gradation control is attained.

[0239] Moreover, if it is the wafer with which the circuit which has the function which outputs what [not only] has an output circuit for gradation control but a very small current as an inspected wafer was prepared, it can inspect with the probe card of this same operation gestalt.

[0240] In addition, what was integrated may be used as a resistor 88 arranged at the probe card of this operation gestalt.

[0241] (11th operation gestalt) the case where the range of the electrical potential difference which should be detected changes a lot in the inspection using the probe card concerning the 10th operation gestalt — the electrical-potential-difference value of a voltage signal — detection of the semi-conductor circuit tester's 79 comparator — it may become out of range In order to avoid this, invention-in-this-application persons examined improving the structure of a probe card further.

[0242] Drawing 19 is the block circuit diagram showing the cross section of the probe card concerning the 11th operation gestalt of this invention.

[0243] The probe 83 with which the probe card of this operation gestalt was prepared on the inferior surface of tongue of a substrate 78 and a substrate 78, The resistor 80 which has been arranged among on the inferior surface of tongue of a substrate 78 at the latest of a probe 83 and to which it was highly precise and resistance was set, It was prepared on the inferior surface of tongue of a substrate 78, and has the comparator 81 by which the end of a resistor 80 was connected to the output section, and the other end of a resistor 80 was connected to the negative side input section, respectively, and wiring (not shown) prepared by penetrating a substrate 78. Moreover, a reference voltage signal is supplied to the forward side input section of a comparator 81 from the semi-conductor circuit tester 79 at the time of inspection. Here, as an operational amplifier, what has a high input impedance is used preferably.

[0244] Negative feedback was carried out to the probe card of this operation gestalt by the resistor 80, and it is equipped with the operational amplifier 81 by which the reference voltage signal was inputted into the forward side input section. Since gain (output voltage)/(input voltage) of an electrical potential difference inputted into the forward side input section of the operational amplifier 81 by which negative feedback was carried out is decided by the feedback ratio of a resistor 80, the range of a signal level can be stored within the limits of [measurable] the semi-conductor circuit tester's 79 comparator by changing a reference voltage signal according to the magnitude of the inputted signal level. concrete — the signal current from the inspected wafer 82 — ** — when small, the reference voltage signal of a low battery is inputted into the forward side input section of an operational amplifier 81, and when the signal current is large, the reference voltage signal of the high voltage is inputted into the forward side input section of an operational amplifier 81. In addition, as an operational amplifier 81, what has an input impedance high enough is used.

[0245] Thus, in the probe card of this operation gestalt, the range of the signal level detected by changing a reference voltage signal according to the magnitude of the signal current from the inspected wafer 82 is controllable. Thereby, it becomes possible to inspect with a sufficient precision more simply.

[0246] In addition, since magnitude poses a problem, as for the operational amplifier 81 formed on the probe card of this operation gestalt, it is desirable to use what was integrated on the chip.

[0247] (12th operation gestalt) What prepared the resistor for transforming a current signal into a voltage signal as 12th operation gestalt of this invention on the chip which carried the output circuit for gradation control is explained.

[0248] Drawing 20 (a) and (b) are the circuit diagram usually showing the semiconductor chip of this operation gestalt at the time, respectively, and the circuit diagram showing the semiconductor chip of this operation gestalt at the time of inspection. Here, at the time, the time of including the time of normal operation and powering off is usually pointed out.

[0249] As show in this drawing (a) and (b), it be highly precise and the semiconductor chip of this operation gestalt be equip with the resistor 100 which be connected to the integrated output circuit for gradation control, and the output section 107 and the selection precharge circuit 106 of this output circuit for gradation control and to which resistance be set, the diode 102,103 for protect an internal circuitry from static discharge (ESD), the switching circuit 104,105, and the external terminal (not shown).

[0250] Explanation about the semiconductor chip of this operation gestalt is performed for every mode of operation.

[0251] First, as shown in drawing 20 (a), while a switching circuit 104 is usually sometimes (at the time of powering off and normal operation) turned off, a switching circuit 105 connects a resistor 100 to an external terminal. At this time, it will connect with the serial mutually [an external terminal, a resistor 100, and the output circuit for

gradation control].

[0252] Thereby, when high voltages, such as static electricity, are impressed from an external terminal, it becomes possible to protect the output circuit for gradation control according to a voltage drop operation of a resistor 100.

[0253] On the other hand, as shown in drawing 20 (b), while a switching circuit 104 is turned on, at the time of inspection, a switching circuit 105 connects a resistor 100 to touch-down.

[0254] Thereby, it is changed into a voltage signal by the resistor 100 before the current signal for measurement is outputted from an external terminal.

[0255] As mentioned above, while aiming at ESD protection by sometimes using as a current / resistance for electrical-potential-difference conversion at the time of inspection, usually using a resistor 100 as resistance for ESD protection according to the semiconductor chip of this operation gestalt, high inspection of precision can be performed. Moreover, it is not necessary to prepare a resistor on a probe card like the 11th operation gestalt by forming a resistor 100 on a semiconductor chip. Therefore, in order to inspect the output circuit for gradation control, inspection becomes possible even if it uses the probe card of low quality.

[0256] In addition, also in the semiconductor chip of this operation gestalt, the integrated internal circuitry may be a circuit which outputs very small currents other than the output circuit for gradation control.

[0257] Moreover, a switching circuit 104,105 can also be established in a different location from the location explained with this operation gestalt, and just usually changes connection of a resistor to the time of inspection by the time.

[0258] (13th operation gestalt) The 13th operation gestalt of this invention is related with the inspection approach of the output circuit for gradation control (current drive driver).

[0259] Drawing 21 is a circuit diagram for explaining the inspection approach of the output circuit for gradation control concerning the 13th operation gestalt of this invention. As an example of the output circuit for gradation control, the output circuit for gradation control of the 9th operation ***** shown in drawing 17 is shown here.

[0260] In the gradation control circuit of this invention, the magnitude of the output current from a gradation control circuit changes with the magnitude of the current supplied from a multistage type current mirror. By the multistage type current mirror used with this operation gestalt, since the current of the same value as the current which flows one parent current source is supplied to 176 gradation control circuits, if the current inputted into the multistage type current mirror section is increased, the current outputted from all the gradation control circuits connected to this multistage type current mirror section will also increase.

[0261] So, by the inspection approach of the output circuit for gradation control of this operation gestalt, the resistor 69 which has resistance lower than the external resistor 68 is used.

[0262] And at the time of inspection, a resistor 69 is connected to external resistance 68 and juxtaposition to the low side current mirror section 55.

[0263] Usually, by a switching circuit etc., sometimes, a resistor 69 changes connection so that it may not connect with the low side current mirror section 55.

[0264] By this approach, at the time of inspection, a larger current than the time of normal operation can flow temporarily, and can increase the signal current outputted from the output circuit for gradation control 10 times. Consequently, the effect of the insulation resistance leak by the parasitic element or wiring material can be reduced at the time of inspection.

[0265] In addition, according to the inspection approach of this operation gestalt, the example in which the external resistor 69 is connected to the low side current mirror section 55 was shown, but a resistor 69 may be connected to the high side current mirror section 56.

[0266] (14th operation gestalt) As 14th operation gestalt of this invention, in order to inspect the output circuit for gradation control, the example which prepares a common latch circuit is explained.

[0267] Drawing 22 is a block circuit diagram to show the path of the input signal from the outside in the output circuit for gradation control.

[0268] When the output circuit for gradation control of this invention is used as a driver for a current drive for indicating equipments, an indicative data is inputted from a data input terminal, and after two or more latch circuits are latched to every bit cel (cel circuit for one output), it is supplied to each gradation control circuit. That is, the indicative data inputted from the outside at the time of normal operation follows a path like the linea nigra shown in drawing 22 via the latch circuits 111a and 111b for normal operation etc., and is inputted into a gradation control circuit.

[0269] However, when inputting for inspection of a minute current, supposing it follows the above-mentioned path, inspection time amount will become long. In case an analog current is inputted and change of gradation is inspected especially, inspection time amount will become huge.

[0270] Then, in order that invention-in-this-application persons might shorten inspection time amount and might raise a patient throughput, it was presupposed that a gradation control circuit is prepared on the integrated chip to one common latch circuit 90 to the full power section on a chip used only at the time of inspection.

[0271] Drawing 23 is the circuit diagram showing the configuration of the selection circuitry in the semiconductor chip of this operation gestalt.

[0272] As shown in this drawing, the semiconductor chip of this operation gestalt is equipped with the output circuit for gradation control integrated on the semiconductor chip, the latch circuit 111 for normal operation prepared for every bit cel of the output circuit for gradation control, the common latch circuit 90 prepared on [one] the semiconductor chip, and the selection circuitry for connecting either to the bit cel of the output circuit for gradation

control among the latch circuit 111 for normal operation, and the common latch circuit 90.

[0273] From the common latch circuit 90, wiring for connecting with all bit cels is prolonged.

[0274] The switching circuit is in the off condition so that this common latch circuit 90 may not connect with a bit cel at the time of normal operation.

[0275] And a selection circuitry can connect now the common latch circuit 90 and all bit cels at the time of inspection. In this operation gestalt, the output from the common latch circuit 90 is connected to all 528 outputs of the output circuit for gradation control.

[0276] Since it becomes unnecessary to latch data for every bit cel each time at the time of inspection, this configuration enables it to shorten inspection time amount sharply.

[0277]

[Effect of the Invention] Yes, according to the output circuit for gradation control of this invention, a low side, since it is divided and prepared in the side, the gradation control of a gradation control circuit and the multistage type current mirror section doubled with the gamma characteristics of light emitting devices, such as organic electroluminescence, is attained. Moreover, since arrangement of a gradation control circuit and the multistage type current mirror section is optimized, it is possible to stop a wiring field small.

[Translation done.]

(11)特許出願公開番号

特開2003-283267

(P2003-283267A)

(43)公開日 平成15年10月3日(2003.10.3)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 3 F 3/343		H 0 3 F 3/343	A 2 G 0 3 6
G 0 1 R 31/00		G 0 1 R 31/00	5 C 0 0 6
G 0 5 F 3/26		G 0 5 F 3/26	5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H 5 H 4 2 0
	6 2 1		6 2 1 M 5 J 0 9 1

審査請求 未請求 請求項の数42 OL (全 35 頁) 最終頁に続く

(21)出願番号 特願2002-87642(P2002-87642)

(22)出題日 平成14年3月27日(2002.3.27)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山野 敦浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 柘植 仁志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

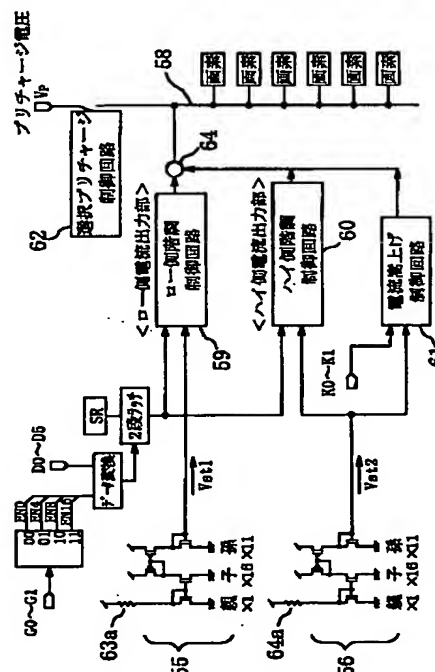
[最終頁に続く](#)

(54) 【発明の名称】 階調制御用出力回路及びその検査用装置、階調制御用出力回路の検査方法

(57) 【要約】

【課題】 表示装置や出力装置に用いられ、良好な階調表示を実現する階調制御用出力回路を提供する。また、電流駆動用の階調制御用出力回路を検査するための手段を提供する。

【解決手段】 階調制御出力回路は、ロー側カレントミラー部５５と、ロー側階調制御回路５９と、ハイ側カレントミラー部５６と、ハイ側階調制御回路６０と、電流嵩上げ制御回路６１と、選択ブリチャージ制御回路６２とを備えている。階調信号を出力するための階調制御回路がハイ側とロー側に分かれていることで、出力電流の特性を発光素子の γ 特性に近似させることができる。また、多段式カレントミラーを用いることで、出力部ごとの電流のばらつきも抑えられている。



【特許請求の範囲】

【請求項1】 電源電圧供給部と、

第1の電流供給部と、

上記電源電圧供給部に接続された第1の電源電圧供給配線と、

上記電源電圧供給部に接続された第2の電源電圧供給配線と、

上記第1の電流供給部と上記電源電圧供給部との間に介設され、上記電源電圧供給部に接続されたゲート電極を有する第1のMISFETと、

上記第1の電源電圧供給配線に接続された第1のトランジスタを含む出力バッファ部と、上記第2の電源電圧供給配線に接続され、上記第1のトランジスタと共にカレントミラーを構成する第2のトランジスタを含む差動回路とを有する複数の階調制御部と、

上記第1のMISFETのゲート電極に接続され、上記第1のトランジスタと上記第2のトランジスタに流れる電流を制御するためのバイアス供給線とを備えている階調制御用出力回路。

【請求項2】 請求項1に記載の階調制御用出力回路において、

上記第1のトランジスタと上記第2のトランジスタとは共に上記バイアス供給線に接続されたゲート電極を有し、導電型が同じMISFETであることを特徴とする階調制御用出力回路。

【請求項3】 請求項1または2に記載の階調制御用出力回路において、

駆動時に上記第1のトランジスタを流れる電流は、上記第2のトランジスタを流れる電流よりも大きいことを特徴とする階調制御用出力回路。

【請求項4】 請求項1～3のうちいずれか1つに記載の階調制御用出力回路において、

上記階調制御部は、階調制御用の電圧を上記出力バッファ部に供給するための電圧選択スイッチをさらに有していることを特徴とする階調制御用出力回路。

【請求項5】 請求項4に記載の階調制御用出力回路において、

上記差動回路は、入力部が上記電圧選択スイッチに接続され、出力部が上記出力バッファ部に接続されたオペアンプを有していることを特徴とする階調制御用出力回路。

【請求項6】 請求項1～5に記載の階調制御用出力回路において、

第2の電流供給部と、

上記第2の電流供給部及び上記第1の電源電圧供給配線に接続され、上記第1のMISFETと導電型が同じ傾斜バイアス用MISFETとをさらに備え、

上記傾斜バイアス用MISFETのゲート電極は、上記第1の電源電圧供給配線及び上記バイアス供給線に接続されていることを特徴とする階調制御用出力回路。

【請求項7】 請求項6に記載の階調制御用出力回路において、

上記電源電圧供給部に接続され、上記第1のMISFETと共に送り手側カレントミラーを構成する第2のMISFETをさらに備え、

上記第2の電流供給部は、上記送り手側カレントミラーに接続され、互いに同じ導電型のMISFETから構成された受け手側カレントミラーであることを特徴とする階調制御用出力回路。

10 【請求項8】 電源電圧供給部と、

第1の電流供給部と、

上記電源電圧供給部に接続された電源電圧供給配線と、

上記第1の電流供給部と上記電源電圧供給部との間に介設され、上記電源電圧供給部に接続されたゲート電極を有する第1のMISFETと、

上記電源電圧供給配線に接続されたトランジスタを有する複数の階調制御部と、

第2の電流供給部と、

20 上記第2の電流供給部及び上記電源電圧供給配線に接続され、上記第1のMISFETと導電型が同じ傾斜バイアス用MISFETと、

上記第1のMISFETのゲート電極と上記傾斜バイアス用MISFETのゲート電極との間を接続し、且つ上記電源電圧供給配線に接続され、上記トランジスタに流れる電流を制御するためのバイアス供給線とを備えている階調制御用出力回路。

【請求項9】 請求項8に記載の階調制御用出力回路において、

30 上記トランジスタは、上記バイアス供給線に接続されたゲート電極を有するMISFETであることを特徴とする階調制御用出力回路。

【請求項10】 請求項8または9に記載の階調制御用出力回路において、

上記電源電圧供給部に接続され、上記第1のMISFETと共に送り手側カレントミラーを構成する第2のMISFETをさらに備え、

40 上記第2の電流供給部は、上記送り手側カレントミラーに接続され、互いに同じ導電型のMISFETから構成された受け手側カレントミラーであることを特徴とする階調制御用出力回路。

【請求項11】 請求項8～10に記載の階調制御用出力回路において、

上記複数の階調制御部は、電流加算型のD/Aコンバータであることを特徴とする階調制御用出力回路。

【請求項12】 請求項8～11に記載の階調制御用出力回路において、

上記複数の階調制御部は、

M階調を表すための、上記電源電圧供給ノードに対して互いに並列に接続された複数のカレントミラー部と、

50 上記カレントミラー部に接続された同数の選択スイッチ

と、
上記全ての選択スイッチに接続された電流出力部とを有しており、

上記カレントミラー部は、上記トランジスタからなるカレントミラーで構成されていることを特徴とする階調制御用出力回路。

【請求項13】 請求項12に記載の階調制御用出力回路において、

M階調を制御するために、上記カレントミラー部は、それぞれ1, 2, ..., $M/2$ 個の互いに同じ素子構成を有するカレントミラーで構成されていることを特徴とする階調制御用出力回路。

【請求項14】 請求項12に記載の階調制御用出力回路において、

上記トランジスタは、互いに同じ素子構成を有するMISFETであり、
M階調を制御するために、上記各カレントミラー部からの出力電流は、上記MISFETのゲート幅のゲート長に対する比により調整されることを特徴とする階調制御用出力回路。

【請求項15】 請求項11～14のうちいずれか1つに記載の階調制御用出力回路において、

上記階調制御部は、
カレントミラー部と、上記カレントミラー部に接続された同数のトランスファゲート及びインバータとを有する選択スイッチとを有する複数の階調生成部とを有しており、
上記カレントミラー部及び上記選択スイッチは、上記各階調生成部ごとに固めて配置されていることを特徴とする階調制御用出力回路。

【請求項16】 請求項8～10に記載の階調制御用出力回路において、

上記トランジスタは、共に同じ導電型を有し、カレントミラーを構成する第1のトランジスタと第2のトランジスタであり、
上記階調制御部は、上記第1のトランジスタを有する出力バッファ部と、上記第2のトランジスタを有する差動回路とを有していることを特徴とする階調制御用出力回路。

【請求項17】 請求項16に記載の階調制御用出力回路において、
駆動時に上記第1のトランジスタを流れる電流は、上記第2のトランジスタを流れる電流よりも大きいことを特徴とする階調制御用出力回路。

【請求項18】 請求項16または17に記載の階調制御用出力回路において、

上記階調制御部は、階調制御用の電圧を上記出力バッファ部に供給するための電圧選択スイッチをさらに有していることを特徴とする階調制御用出力回路。

【請求項19】 請求項18に記載の階調制御用出力回

路において、

上記差動回路は、入力部が上記電圧選択スイッチに接続され、出力部が上記出力バッファ部に接続されたオペアンプを有していることを特徴とする階調制御用出力回路。

【請求項20】 複数のカレントミラーから構成され、第1段のカレントミラーを流れる電流と等しい電流が3段以上の各カレントミラーに流れる複数の多段式カレントミラー部と、

10 上記複数の多段式カレントミラー部の各々から基準電圧及び階調信号を受けて、互いに異なる階調制御用電流を出力するための複数の階調制御部とを備えている階調制御用出力回路。

【請求項21】 請求項20に記載の階調制御用出力回路において、

上記複数の階調制御部からの階調制御用電流を受けるとともに、上記階調信号に応じて出力する上記階調制御用電流の組み合わせを変えるための出力制御部とを備えている階調制御用出力回路。

20 【請求項22】 請求項20または21に記載の階調制御用出力回路において、

上記複数の階調制御部は、上記複数の階調制御部のうち、最も低い範囲の階調を制御可能なロー側階調制御部と、上記ロー側階調制御部よりも高い階調を制御可能なハイ側階調制御部とに分かれ、

上記複数の多段式カレントミラー部は、上記ロー側階調制御部に接続されたロー側多段式カレントミラー部と、上記ハイ側階調制御部に接続されたハイ側多段式カレントミラー部とに分かれることを特徴とする階調制御用出力回路。

30 【請求項23】 請求項22に記載の階調制御用出力回路において、

上記出力制御部は、階調数が所定値以下の場合には、上記ロー側階調制御部からの上記階調制御用電流のみを出力し、階調数が所定値を越える場合には、上記ロー側階調制御部からの上記階調制御用電流に加えて上記ハイ側階調制御部からの上記階調制御用電流を出力するように制御することを特徴とする階調制御用出力回路。

40 【請求項24】 請求項22または23に記載の階調制御用出力回路において、

少なくとも赤、緑、青の3色分の上記ロー側多段式カレントミラー部、上記ハイ側多段式カレントミラー部、上記ロー側階調制御部及び上記ハイ側階調制御部が同一のチップに集積化されていることを特徴とする階調制御用出力回路。

【請求項25】 請求項24に記載の階調制御用出力回路において、

上記ロー側多段式カレントミラー部と上記ハイ側多段式カレントミラー部とは1組ずつ互いに隣接して配置され、

50

るとともに、行方向に所定の色順に配置され、

上記ロー側階調制御部、上記ハイ側階調制御部及び上記出力制御部は、ほぼ行列上に配置され、上記ロー側多段式カレントミラー部及び上記ハイ側多段式カレントミラー部の1組みに接続された上記ロー側階調制御部、上記ハイ側階調制御部及び上記出力制御部は固めて配置されることを特徴とする階調制御用出力回路。

【請求項26】 請求項20～25のうちいずれか1つに記載の階調制御用出力回路において、

上記階調制御部は、

カレントミラー部と、上記カレントミラー部に接続された同数のトランスファークラーク及びインバータとを有する選択スイッチとを有する複数の階調生成部を有しており、

上記カレントミラー部及び上記選択スイッチは、上記各階調生成部ごとに固めて配置されていることを特徴とする階調制御用出力回路。

【請求項27】 請求項22～26のうちいずれか1つに記載の階調制御用出力回路において、

嵩上げ制御信号と上記ハイ側多段式カレントミラーから供給される基準電圧とを受けて、上記ロー側階調制御部からの出力電流及び上記ハイ側階調制御部からの出力電流を嵩上げる電流を上記出力制御部に出力するための電流嵩上げ制御回路をさらに設けたことを特徴とする階調制御用出力回路。

【請求項28】 請求項22～26のうちいずれか1つに記載の階調制御用出力回路において、

上記ロー側多段式カレントミラー部と上記ロー側階調制御部との間に、上記ロー側階調制御部の出力電流を嵩上げる電流を出力するための電流嵩上げ制御回路をさらに設けたことを特徴とする階調制御用出力回路。

【請求項29】 請求項28に記載の階調制御用出力回路において、

上記電流嵩上げ制御回路は、制御する階調に応じて出力する電流を増減する機能を有することを特徴とする階調制御用出力回路。

【請求項30】 請求項21～29のうちいずれか1つに記載の階調制御用出力回路において、

上記出力制御回路は、

外部の信号線を充電する電圧をスイッチング制御により供給するための選択ブリッジ回路と、

表示データに応じたタイミング制御によって一定期間上記選択ブリッジ回路をオンにするための選択ブリッジ制御回路とをさらに有していることを特徴とする階調制御用出力回路。

【請求項31】 半導体チップ上に集積化され、電流信号を出力するための出力部を有する内部回路と、

上記半導体チップ上に設けられ、上記出力部に接続された外部端子と、

上記半導体チップ上に設けられ、上記出力部に接続された、電流信号を電圧信号に変換するための抵抗体とを備

えていることを特徴とする階調制御用出力回路。

【請求項32】 請求項31に記載の階調制御用出力回路において、

上記抵抗体に接続されたスイッチ回路をさらに備え、

上記スイッチ回路は、

通常動作時及び電源切断時には、上記抵抗体が上記外部端子に対して上記内部回路と互いに直列に接続されるように接続し、

検査時には、上記抵抗体を接地に接続すると共に、上記出力部に対して上記抵抗体と上記外部端子とが並列になるように接続するよう切り替えることを特徴とする階調制御用出力回路。

【請求項33】 請求項31または32に記載の階調制御用出力回路において、

上記内部回路は、

多段式カレントミラー部と、

上記多段式カレントミラー部からの基準電圧を受けて階調制御用電流を出力するための階調制御部とを有していることを特徴とする階調制御用出力回路。

【請求項34】 複数のビットセルを有する複数の階調制御部と、

上記ビットセルごとに設けられた通常動作ラッチ回路と、

全ての上記ビットセルに信号を供給するための共通ラッチ回路と、

上記共通ラッチ回路及び上記通常動作ラッチ回路と上記ビットセルとの間に設けられ、通常動作時には上記通常動作ラッチ回路からの信号を上記ビットセルに伝達し、検査時には、上記共通ラッチ回路から出力された信号を上記ビットセルに伝達するように切り替えるための選択回路とを備えている階調制御用出力回路。

【請求項35】 請求項34に記載の階調制御用出力回路において、

上記複数の階調制御部に基準電圧を供給するための多段式カレントミラー部がさらに設けられていることを特徴とする階調制御用出力回路。

【請求項36】 上面がウエハ検査用のテスターに設置可能な基板と、

上記基板の下面上に設けられ、少なくとも被検査ウエハからの電流信号を受けるための、導体からなるプローブと、

上記プローブに近接して上記基板上に配置され、上記プローブに接続されて上記電流信号を電圧信号に変換するための抵抗体と、

上記抵抗体に接続され、上記基板を貫通して設けられた配線とを備えている階調制御用出力回路の検査装置。

【請求項37】 請求項36に記載の階調制御用出力回路の検査装置において、

上記プローブと上記抵抗体との間の距離が10cm以下であることを特徴とする階調制御用出力回路の検査装

10

20

30

40

50

置。

【請求項38】 請求項36または37に記載の階調制御出力回路の検査装置において、上記プローブに対して上記抵抗体と並列に接続され、出力部が上記抵抗体を介して負側入力部に接続されたオペアンプをさらに備えていることを特徴とする階調制御出力回路の検査装置。

【請求項39】 請求項38に記載の階調制御出力回路の検査装置において、

上記オペアンプの正側入力部には、上記テスターから出力された基準電圧が入力されることを特徴とする階調制御出力回路の検査装置。

【請求項40】 請求項36～39のうちいずれか1つに記載の階調制御出力回路の検査装置において、上記抵抗体は集積化されていることを特徴とする階調制御出力回路の検査装置。

【請求項41】 請求項38～40のうちいずれか1つに記載の階調制御出力回路の検査装置において、上記オペアンプは集積化されていることを特徴とする階調制御出力回路の検査装置。

【請求項42】 互いに並列に接続された第1の抵抗体に接続された基準電流源と、上記基準電流源に接続され、階調制御用電流を出力するための階調制御部とを備えた階調制御出力回路の検査方法であって、検査時には、上記第1の抵抗体と並列に設けられ、上記第1の抵抗体よりも抵抗値の低い第2の抵抗体を上記基準電流源に接続し、通常動作時には、上記第2の抵抗体と上記基準電流源との接続をオフにすることを特徴とする階調制御出力回路の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置及び出力装置に用いられる階調制御出力回路に関し、特に電流または電圧により階調制御を行なうドライバIC及びその検査用装置、ドライバICの検査方法に関する。

【0002】

【従来の技術】一般に、アクティブマトリクス型の画像表示装置では、多数の画素をマトリクス状に並べ、与えられた輝度情報に応じて画素ごとに光の強度を制御することによって画像を表示する。そのため、例えば長方形状のディスプレイパネルは、マトリクス状に並べられ、液晶または光学物質の状態を制御するTFT(Thin-Film-Transistor)と、パネルの上下辺に沿って設けられたデータ線駆動回路と、パネルの側端部に設けられたゲート線駆動回路とを有している。

【0003】従来、ディスプレイパネル等の画像表示装置では、光学物質として液晶を用いたものが主流であった。これらの画像表示装置では、液晶駆動回路(液晶ドライバ)が電圧の形で表示情報を各画素に供給し、この

表示情報に応じて画素の透過率を変化させていた。

【0004】これに対し、近年、有機EL(Electro Luminescence)を発光素子として用いた画像表示装置の提案が活発になっている。有機ELは、液晶とは異なりそれ自体が発光するので、これを用いたディスプレイパネルは視認性が高い上、バックライトが不要になるという利点がある。ディスプレイパネルに用いられる有機ELはダイオードの機能を有し、電流を与えられることで発光する。この有機ELパネルには、2つの駆動方式がある。

【0005】図24は、有機ELパネルの駆動方式を説明するための図である。

【0006】同図に示すように、有機ELパネルの1つ目の駆動方式は、電圧書き込み方式である。これは、電圧駆動用ドライバから電圧V₀の形で表示データがTFT(低ボリ画素Tr)に供給される方式である。電圧V₀に応じてコンデンサ等の負荷に蓄積された電荷が充電あるいは放電され、これにより電流I₀が有機ELダイオードに流れる。この駆動方式は、既存の液晶ドライバIC技術を使用できるという利点があるが、電圧供給が不安定であるため、低温ポリシリコンからなるTFTの特性ムラを補償することが困難であるという課題を有している。

【0007】有機ELパネルの2つ目の駆動方式は、電流書き込み方式である。この方法は、パネルからの電流引き込み量を変化させることで階調表示の制御を行なう方法である。パネル上の低温ポリシリコンからなるTFTはカレントミラーを構成しており、パネルから信号線に引き込んだ電流I₀と等しい電流がTFTに流れる。この方法によれば、TFTの特性ばらつきを補償することができ、有機ELパネルの高画質化が実現可能である。

【0008】カラー表示が可能な有機ELパネルには、R(赤)、G(緑)、B(青)の3色の画素が配置されており、電流書き込み方式の場合、電流駆動用ドライバからの電流に応じて画素の輝度が増加することにより、画素の明るさの階調表示が可能になっている。

【0009】図25(a)、(b)は、それぞれ上述の階調表示を実現する、表示装置を電圧駆動するための従来の電圧駆動用ドライバの構成を示す回路図、及び電源電圧供給線における電源電位と電源電圧供給部からの距離との関係を示す図である。

【0010】同図(a)に示すように、従来の電圧駆動用ドライバ(階調制御出力回路)は、電源電圧供給部1112と、電源電圧供給部1112に接続され、出力部1116を有する階調制御部1101a、1101b…、1101n、(Nは自然数)と、接地に接続された電流供給部1110と、電源電圧供給部1112と電流供給部1110との間に介設され、ドレインとゲート電極とが互いに接続されたPチャネル型MISFETである

10

20

30

40

50

第1のMISFET1111と、第1のMISFET1111と電源電圧供給部1112との間に設けられた第1のノード1118と、第1のMISFET1111のゲート電極に接続されたゲートバイアス供給線1115と、第1のノード1118に接続され、各階調制御部に電源電圧を供給するための電源電圧供給配線1121と、電源電圧供給配線1121上に設けられ、階調制御部1101a、1101b…、1101_nにそれぞれ接続された電源電圧供給ノード1117と、各電源電圧供給ノード1117の間及び電源電圧供給ノード1117と第1のノード1118との間に介設された抵抗体1113とを備えている。ここでは、N個の階調制御部を備える例を示しているが、一般的に1つの階調制御用出力回路は400～500個程度の階調制御部を備えている場合が多い。

【0011】また、従来の階調制御用出力回路において、階調制御部1101a、1101b…、1101_nにはカレントミラー回路が利用されている。

【0012】すなわち、図25(a)に示すように、階調制御部1101aは、ソースが互いに接続されると共に電源電圧供給ノード1117に接続された共にPチャネル型の第2のMISFET1102a及び第3のMISFET1103aと、電圧選択スイッチ1120aと、入力部の(+)側に電圧選択スイッチ1120aが接続され、(-)側に出力部1116が接続されたオペアンプ1106aと、ソースが接地に、ドレインが第3のMISFET1103aに、ゲート電極がオペアンプ1106aの出力部にそれぞれ接続されたNチャネル型MISFETである出力側トランジスタ1105aと、出力側トランジスタ1105aと第3のMISFET1103aとの間に介設され、出力部1116に接続された第1のノード1114aと、オペアンプ1106aの出力部-出力側トランジスタのゲート電極間と出力側トランジスタ1105a-第2のノード間を接続する配線間に設けられた発振防止用コンデンサ1119aとを有している。また、第2のMISFET1102a及びオペアンプ1106aは差動回路1107aを構成し、第3のMISFET1103a、第1のノード1114、発振防止用コンデンサ1119a及び出力側トランジスタ1105aは出力バッファ部1108aを構成している。ここで、従来の階調制御部1101aにおいては、第2のMISFET1102aと第3のMISFET1103aとは電気的特性が互いに揃えられ、且つ互いのゲート電極が共にゲートバイアス供給線1115に接続されており、カレントミラー回路を構成している。そして、負荷を駆動するために、第3のMISFET1103aを流れる電流 I_2 の方が第2のMISFET1102aを流れる電流 I_1 よりも大きくなるように設計されている。

【0013】また、従来の階調制御用出力回路におい

て、N個の階調制御部1101a、1101b…、1101_nは、それぞれ上述の階調制御部1101aと同じ回路構成を有している。そして、第2のMISFET1102a、1102b…、1102_n及び第3のMISFET1103a、1103b…、1103_nのゲート電極はそれぞれゲートバイアス供給線1115に接続されている。図25(b)に示すように、ゲートバイアス供給線1115からこれらのMISFETのゲート電極には、該MISFETがオンになるように、互いに等しい電圧が印加されている。

【0014】また、従来の階調制御用出力回路では、電圧選択スイッチとして、複数の基準電圧をデジタルデータに応じて選択することができるマルチプレクサが用いられている。ここで選択された電圧が、オペアンプで電流増幅されて、液晶や有機ELを用いたパネルに出力される。

【0015】なお、電流書き込み方式の有機ELパネルに用いられる従来の電流駆動用の階調制御用出力回路は、図25に示した階調制御用出力回路の階調制御部1101a、1101b…1101_nを、電流加算型のD/Aコンバータに代えた構造をとる。このD/Aコンバータからは階調データに応じた大きさの電流がTFT及び画素に供給され、有機ELパネルでの階調表示を可能にしている。

【0016】なお、このような電流駆動用の階調制御用出力回路は、有機ELパネル用のドライバとしてだけでなく、プリンタ等の出力装置のヘッドとしても利用することができる。加えて、有機ELのみならず、無機ELやLED(Light Emitting Diode)を用いた表示装置用ドライバ、プリンタ用ヘッドとしても用いることができる。

【0017】次に、従来の電流駆動用の階調制御用出力回路の検査方法について説明する。

【0018】図26(a)、(b)は、それぞれ電流駆動用の階調制御用出力回路を検査するための従来のブローブカードを示す断面図、及び従来のブローブカードの断面を示すブロック回路図である。

【0019】同図(a)に示すように、従来の電流駆動用の階調制御用出力回路の検査は、半導体テスター1152のヘッド1153に上面側で接続され、下面に導電体からなるブローブ1155を有するブローブカード1156を、該電流駆動用ドライバが多数設けられた被検査ウエハ1151の上に載置して行なう。

【0020】具体的には、図26(b)に示すように、ウエハ上に設けられた検査用パッド1154(又はバンブ)とブローブ1156とを接触させた状態で半導体テスター1152のヘッド1153から検査用電流を流し、その後に検査用バンブから出力される電流を検出することで検査が実行される。

【0021】有機ELダイオードの多くは、供給される

10

20

30

40

50

電流が1 μ A以下の時に最高輝度を示すので、有機ELパネルにおいて6ビットの階調(64階調)を有する場合、1階調当たりの電流は10~20 nA程度になる。そのため、半導体テスター1152は、10~20 nA程度の電流を検出できるようになっている。ここで用いられる半導体テスターやプローブカード及び半導体テスターとプローブカードとの接続治具などは一般のウエハ検査に用いられるものと同様のものである。

【0022】

【発明が解決しようとする課題】まず、図25(b)から分かるように、従来の電圧駆動用ドライバにおいては、同一の階調制御部が1本の電源電圧供給配線1121に接続されているため、電源電圧供給部1112から遠い位置にある電源電圧供給ノード1117では供給される電圧が抵抗体1113などの存在により降下していた。これに対し、ゲートバイアス供給線1115の電位は位置によらず一定であるため、第2のMISFET1102及び第3のMISFET1103のゲートソース間にかかる電圧 V_{gs} は、電源電圧供給部1112からの距離によってばらついてしまう。

【0023】一方、出力バッファ部の発振防止用コンデンサは、差動回路の出力電流(オペアンプからの出力)によって充電される。一般に、差動回路側を流れる電流は出力バッファ側よりも少ないので、発振防止用コンデンサの充電時間の長さは差動回路に流れる電流により左右される。また、各差動回路に供給される電源電圧がばらつくと、電流I₁の大きさがばらつく。そのため、従来の電圧駆動用の階調制御用出力回路においては、各差動回路に供給される電源電圧がばらつくことにより、差動回路に分配される電流の大きさもばらつき、発振防止用コンデンサの充電時間がばらついていた。その結果、従来の電圧駆動用の階調制御用出力回路においては、オペアンプのスルーレートが電源電圧供給部1112からの距離によってばらつき、出力部から出力される電流もばらついてしまっていた。

【0024】そのため、従来の電圧駆動用の階調制御用出力回路を液晶または有機ELパネルに用いる場合、画面の表示にムラが出てしまう等の不具合が起こっていた。また、従来の電圧駆動用の階調制御用出力回路をプリンタヘッドとして用いる場合には、印字ムラが生じることがあった。

【0025】なお、このような電源電圧供給配線の電圧降下による不具合は、電圧駆動用の階調制御用出力回路と類似の構成を有する従来の電流駆動用の階調制御用出力回路においても見られる。

【0026】従来の電流駆動用の階調制御用出力回路では、1つの電流源からカレントミラーを用いて直接176個の出力部に電流が分配される。この出力電流の1つが上記の階調制御部に入力されるが、この出力電流も出力部ごとにはばらつくという不具合もあった。

【0027】一方、従来の電流駆動用の階調制御用出力回路の検査方法においては、検出する電流値が10~20 nAと微小なために、被検査ウエハ1151と半導体テスター1152との間で検出信号が劣化してしまうという不具合があった。これは、検出信号がプローブカード1151や接続配線1158、治具等を経由して伝播するためである。このため、十分な精度で階調制御用出力回路の検査を行なうことが困難であった。

【0028】本発明の目的は、表示装置や出力装置に用いられ、良好な階調表示を実現する階調制御用出力回路を提供すること、及び電流駆動用の階調制御用出力回路を検査するための手段を提供することにある。

【0029】

【課題を解決するための手段】本発明の第1の階調制御用出力回路は、電源電圧供給部と、第1の電流供給部と、上記電源電圧供給部に接続された第1の電源電圧供給配線と、上記電源電圧供給部に接続された第2の電源電圧供給配線と、上記第1の電流供給部と上記電源電圧供給部との間に介設され、上記電源電圧供給部に接続されたゲート電極を有する第1のMISFETと、上記第1の電源電圧供給配線に接続された第1のトランジスタを含む出力バッファ部と、上記第2の電源電圧供給配線に接続され、上記第1のトランジスタと共にカレントミラーを構成する第2のトランジスタを含む差動回路とを有する複数の階調制御部と、上記第1のMISFETのゲート電極に接続され、上記第1のトランジスタと上記第2のトランジスタに流れる電流を制御するためのバイアス供給線とを備えている。

【0030】この構成により、差動回路と出力バッファ部のそれぞれに電源電圧を供給するための配線が個別に設けられているので、第1の電源電圧供給配線内及び第2の電源電圧供給配線内で生じる電圧降下を、電源電圧供給配線を分けない場合に比べて小さくすることができる。そのため、電源電圧供給部からの距離の差によって生じる第1のトランジスタ及び第2のトランジスタのゲートソース間電圧またはゲートドレイン間電圧のばらつきを抑えることができる。この結果、各出力バッファ部を流れる電流のばらつきが抑えられると共に、各差動回路を流れる電流のばらつきも抑えられるので、階調制御部の各出力部から出力される電流のばらつきも抑えられる。従って、本発明の階調制御用出力回路を表示装置に用いることにより、パネルにおける表示ムラを低減することができ、プリンタのヘッド等に用いることにより、プリンタの印字ムラを抑えることができる。

【0031】上記第1のトランジスタと上記第2のトランジスタとは共に上記バイアス供給線に接続されたゲート電極を有し、導電型が同じMISFETであってもよい。

【0032】駆動時に上記第1のトランジスタを流れる電流は、上記第2のトランジスタを流れる電流よりも大

10

20

30

40

50

きいことにより、例えば表示装置のパネルなどの大きい負荷を効果的に駆動することが可能になっている。

【0033】上記階調制御部は、階調制御用の電圧を上記出力バッファ部に供給するための電圧選択スイッチをさらに有していることにより、本発明の階調制御用出力回路は、液晶パネルをはじめとする電圧駆動方式を採る表示装置、あるいは出力装置に好ましく用いられる。

【0034】上記差動回路は、入力部が上記電圧選択スイッチに接続され、出力部が上記出力バッファ部に接続されたオペアンプを有していること電圧選択スイッチにより選択された電圧信号の電流を増幅させることができる。

【0035】第2の電流供給部と、上記第2の電流供給部及び上記第1の電源電圧供給配線に接続され、上記第1のMISFETと導電型が同じ傾斜バイアス用MISFETとをさらに備え、上記傾斜バイアス用MISFETのゲート電極は、上記第1の電源電圧供給配線及び上記バイアス供給線に接続されていることにより、バイアス供給線における電位の傾斜を第1の電源電圧供給配線及び第2の電源電圧供給配線における電圧降下に合わせることが可能になるので、第1のトランジスタ及び第2のトランジスタにおけるゲートソース間電圧またはゲートドレイン間電圧のばらつきをより効果的に抑えることが可能になる。この結果、階調制御部から出力される電流のばらつきを大幅に低減することができる。

【0036】上記電源電圧供給部に接続され、上記第1のMISFETと共に送り手側カレントミラーを構成する第2のMISFETをさらに備え、上記第2の電流供給部は、上記送り手側カレントミラーに接続され、互いに同じ導電型のMISFETから構成された受け手側カレントミラーであることにより、受け手側カレントミラーが電源電圧供給部から離れた位置にある場合でも送り手側カレントミラーを流れる電流と等しい電流を受け手側カレントミラーに流すことができる。

【0037】本発明の第2の階調制御用出力回路は、電源電圧供給部と、第1の電流供給部と、上記電源電圧供給部に接続された電源電圧供給配線と、上記第1の電流供給部と上記電源電圧供給部との間に介設され、上記電源電圧供給部に接続されたゲート電極を有する第1のMISFETと、上記電源電圧供給配線に接続されたトランジスタを有する複数の階調制御部と、第2の電流供給部と、上記第2の電流供給部及び上記電源電圧供給配線に接続され、上記第1のMISFETと導電型が同じ傾斜バイアス用MISFETと、上記第1のMISFETのゲート電極と上記傾斜バイアス用MISFETのゲート電極との間を接続し、且つ上記電源電圧供給配線に接続され、上記トランジスタに流れる電流を制御するためのバイアス供給線とを備えている。

【0038】これにより、バイアス供給線における電位の傾斜を電源電圧供給配線における電圧降下に合わせる

ことが可能になるので、電源電圧供給配線を分割することなく、階調制御部のトランジスタを流れる電流のばらつきを抑えることができる。また、電源電圧供給配線が1本に集約されているので、電源電圧供給配線を分割する場合に比べて配線面積を低減することもできる。

【0039】上記トランジスタは、上記バイアス供給線に接続されたゲート電極を有するMISFETであることにより、階調制御部からの出力電流のばらつきをより精度よく抑えることができる。

10 【0040】上記電源電圧供給部に接続され、上記第1のMISFETと共に送り手側カレントミラーを構成する第2のMISFETをさらに備え、上記第2の電流供給部は、上記送り手側カレントミラーに接続され、互いに同じ導電型のMISFETから構成された受け手側カレントミラーであることにより、受け手側カレントミラーが電源電圧供給部から離れた位置にある場合でも送り手側カレントミラーを流れる電流と等しい電流を受け手側カレントミラーに流すことができる。すなわち、電源電圧供給部から離れた位置にある階調制御部に電圧降下の影響を受けずに一定電流を供給することが可能になる。このため、階調制御部の出力部によるばらつきをさらに低減することができる。

【0041】上記複数の階調制御部は、電流加算型のD/Aコンバータであることにより、本発明の階調制御用出力回路は、有機ELパネルなどの、発光素子を用いた表示装置の電流駆動用ドライバや、発光素子を用いたプリンタなどの出力装置のプリンタヘッドとして用いられることができる。

30 【0042】上記複数の階調制御部は、M階調を表すための、上記電源電圧供給ノードに対して互いに並列に接続された複数のカレントミラー部と、上記カレントミラー部に接続された同数の選択スイッチと、上記全ての選択スイッチに接続された電流出力部とを有しており、上記カレントミラー部は、上記トランジスタからなるカレントミラーで構成されていることにより、電流駆動方式の表示装置や出力装置に用いられる階調制御用出力回路を、比較的単純な構成で作製することができる。

40 【0043】M階調を制御するために、上記カレントミラー部は、それぞれ1, 2, ..., M/2個の互いに同じ素子構成を有するカレントミラーで構成されていることにより、精度の良い電流加算型D/Aコンバータを実現することができる。つまり、良好な階調表示を実現する階調制御用出力回路を実現できる。

【0044】上記トランジスタは、互いに同じ素子構成を有するMISFETであり、M階調を制御するために、上記各カレントミラー部からの出力電流は、上記MISFETのゲート幅のゲート長に対する比により調整されていてもよい。

50 【0045】上記階調制御部は、カレントミラー部と、上記カレントミラー部に接続された同数のトランスファ

ーゲート及びインバータとを有する選択スイッチとを有する複数の階調生成部を有しており、上記カレントミラー部及び上記選択スイッチは、上記各階調生成部ごとに固めて配置されていることにより、良好な階調表示を実現する本発明の階調制御用出力回路の省面積化を図ることができる。

【0046】上記トランジスタは、共に同じ導電型を有し、カレントミラーを構成する第1のトランジスタと第2のトランジスタであり、上記階調制御部は、上記第1のトランジスタを有する出力バッファ部と、上記第2のトランジスタを有する差動回路とを有していてもよい。この構成は、特に電圧駆動用ドライバとして用いられる場合に、好ましく採用される。

【0047】駆動時に上記第1のトランジスタを流れる電流は、上記第2のトランジスタを流れる電流よりも大きいことは、パネルなどの負荷を駆動する上で好ましい。

【0048】上記階調制御部は、階調制御用の電圧を上記出力バッファ部に供給するための電圧選択スイッチをさらに有していることにより、出力電流のばらつきが低減された電圧駆動用ドライバ、あるいは電圧駆動方式のプリンタ用ヘッドとして好ましく用いられる。

【0049】上記差動回路は、入力部が上記電圧選択スイッチに接続され、出力部が上記出力バッファ部に接続されたオペアンプを有していることにより、2ステージアンプ型の電圧駆動用ドライバを実現することができる。

【0050】本発明の第3の階調制御用出力回路は、複数のカレントミラーから構成され、第1段のカレントミラーを流れる電流と等しい電流が3段以上の各カレントミラーに流れる複数の多段式カレントミラー部と、上記複数の多段式カレントミラー部の各々から基準電圧及び階調信号を受けて、互いに異なる階調制御用電流を出力するための複数の階調制御部とを備えている。

【0051】この構成により、多段式カレントミラーを用いることで、階調制御部に入力される電流の値のばらつきは低減されている。これに加えて、互いに異なる階調制御用電流を出力するための複数の階調制御部を備えていることで、階調制御用出力回路の出力電流の特性を、有機EL、無機EL、LEDなどの発光素子の γ 特性に近似させることができる。この結果、本発明の階調制御用出力回路を表示装置に用いた場合には表示特性が改善され、出力装置に用いた場合には印字特性が改善される。

【0052】上記複数の階調制御部からの階調制御用電流を受けるとともに、上記階調信号に応じて出力する上記階調制御用電流の組み合わせを変えるための出力制御部とを備えていることにより、階調制御用出力回路からの出力電流の特性が、発光素子の γ 特性に近似するように制御することができる。その結果、本発明の階調制御

用出力回路を用いた表示パネルやプリンタにおいて良好な階調表示が実現できる。

【0053】上記複数の階調制御部は、上記複数の階調制御部のうち、最も低い範囲の階調を制御可能なロー側階調制御部と、上記ロー側階調制御部よりも高い階調を制御可能なハイ側階調制御部とに分かれ、上記複数の多段式カレントミラー部は、上記ロー側階調制御部に接続されたロー側多段式カレントミラー部と、上記ハイ側階調制御部に接続されたハイ側多段式カレントミラー部とに分かれることにより、階調制御用出力回路の出力電流の特性を、発光素子の γ 特性に良好に近似させることが可能になる。

【0054】上記出力制御部は、階調数が所定値以下の場合には、上記ロー側階調制御部からの上記階調制御用電流のみを出力し、階調数が所定値を越える場合には、上記ロー側階調制御部からの上記階調制御用電流に加えて上記ハイ側階調制御部からの上記階調制御用電流を出力するように制御することにより、発光素子の γ 特性（電流－輝度特性）グラフの傾きに合わせて階調制御用出力回路の出力電流の特性を変化させることが可能になる。

【0055】少なくとも赤、緑、青の3色分の上記ロー側多段式カレントミラー部、上記ハイ側多段式カレントミラー部、上記ロー側階調制御部及び上記ハイ側階調制御部が同一のチップに集積化されていることにより、本発明の階調制御用出力回路は、カラー表示用のドライバICとして用いられるようになる。また、カラープリンタのプリンタヘッドとしても用いられるようになる。

【0056】上記ロー側多段式カレントミラー部と上記ハイ側多段式カレントミラー部とは1組ずつ互いに隣接して配置されるとともに、行方向に所定の色順に配置され、上記ロー側階調制御部、上記ハイ側階調制御部及び上記出力制御部は、ほぼ行列上に配置され、上記ロー側多段式カレントミラー部及び上記ハイ側多段式カレントミラー部の1組みに接続された上記ロー側階調制御部、上記ハイ側階調制御部及び上記出力制御部は固めて配置されることにより、配線面積を低減することができ、ひいては表示パネルの小型化にもつながる。

【0057】上記階調制御部は、カレントミラー部と、上記カレントミラー部に接続された同数のトランスファーゲート及びインバータとを有する選択スイッチとを有する複数の階調生成部を有しており、上記カレントミラー部及び上記選択スイッチは、上記各階調生成部ごとに固めて配置されていることにより、各素子ごとに固めて配置するレイアウトに比べてカレントミラー部とインバータの間の冗長な配線を低減することができ、配線面積を効果的に縮小することができる。また、階調制御回路の出力配線の幅を広げて、階調制御回路の出力インピーダンスを低減することが可能になる。

【0058】嵩上げ制御信号と上記ハイ側多段式カレン

10

20

30

40

50

トミラーから供給される基準電圧とを受けて、上記ロー側階調制御部からの出力電流及び上記ハイ側階調制御部からの出力電流を嵩上げる電流を上記出力制御部に出力するための電流嵩上げ制御回路をさらに設けたことにより、例えば発光素子を用いたパネルにおける表示のコントラストを上げることができる。

【0059】上記ロー側多段式カレントミラー部と上記ロー側階調制御部との間に、上記ロー側階調制御部の出力電流を嵩上げる電流を出力するための電流嵩上げ制御回路をさらに設けたことにより、面積の増加を抑えつつ、階調制御部からの出力電流の嵩上げを図ることができる。

【0060】上記電流嵩上げ制御回路は、制御する階調に応じて出力する電流を増減する機能を有することも可能である。

【0061】上記出力制御回路は、外部の信号線を充電する電圧をスイッチング制御により供給するための選択ブリチャージ回路と、表示データに応じたタイミング制御によって一定期間上記選択ブリチャージ回路をオンにするための選択ブリチャージ制御回路とをさらに有していることにより、例えば、表示パネルの信号線を選択ブリチャージ回路によりあらかじめ充電しておくことができるので、表示パネルにおける黒表示を速やかに実行させることができる。これは、特に表示装置のパネルに低温ポリシリコンからなるTFTが配置されている場合に有効である。

【0062】本発明の第4の階調制御用出力回路は、半導体チップ上に集積化され、電流信号を出力するための出力部を有する内部回路と、上記半導体チップ上に設けられ、上記出力部に接続された外部端子と、上記半導体チップ上に設けられ、上記出力部に接続された、電流信号を電圧信号に変換するための抵抗体とを備えている。

【0063】この構成により、内部回路から出力される微小電流をチップ上の抵抗体によって電圧信号に変換することができるので、該電圧信号がプローブや治具などで減衰しにくくすることができる。その結果、精度の良い検査を行なうことが可能となる。

【0064】上記抵抗体に接続されたスイッチ回路をさらに備え、上記スイッチ回路は、通常動作時及び電源切断時には、上記抵抗体が上記外部端子に対して上記内部回路と互いに直列に接続されるように接続し、検査時には、上記抵抗体を接地に接続すると共に、上記出力部に対して上記抵抗体と上記外部端子とが並列になるように接続するよう切り替えることにより、外部端子から高電圧電流（サージ）が入力された場合には、抵抗体が外部から入力される電流量を制限することができるので、内部回路を保護することができる。また、検査時には、抵抗体を電流／電圧変換用の抵抗として機能させることができる。

【0065】上記内部回路は、多段式カレントミラー部

と、上記多段式カレントミラー部からの基準電圧を受けて階調制御用電流を出力するための階調制御部とを有していてもよい。

【0066】本発明の第5の階調制御用出力回路は、複数のビットセルを有する複数の階調制御部と、上記ビットセルごとに設けられた通常動作ラッチ回路と、全ての上記ビットセルに信号を供給するための共通ラッチ回路と、上記共通ラッチ回路及び上記通常動作ラッチ回路と上記ビットセルとの間に設けられ、通常動作時には上記通常動作ラッチ回路からの信号を上記ビットセルに伝達し、検査時には、上記共通ラッチ回路から出力された信号を上記ビットセルに伝達するように切り替えるための選択回路とを備えている。

【0067】これにより、検査時に加えられる信号は複数のラッチ回路を経由する必要がなくなるので、検査時間を短縮することができる。

【0068】上記複数の階調制御部に基準電圧を供給するための多段式カレントミラー部がさらに設けられていてもよい。

【0069】本発明の階調制御用出力回路の検査装置は、上面がウエハ検査用のテスターに設置可能な基板と、上記基板の下面上に設けられ、少なくとも被検査ウエハからの電流信号を受けるための、導体からなるプローブと、上記プローブに近接して上記基板上に配置され、上記プローブに接続されて上記電流信号を電圧信号に変換するための抵抗体と、上記抵抗体に接続され、上記基板を貫通して設けられた配線とを備えている。

【0070】この構成により、被検査ウエハから微小な電流信号が出力される場合、該電流信号を抵抗体によって電圧信号に変換することができるので、電流信号を減衰させることなくテスターに到達させることができる。このため、微小な電流信号を出力する階調制御用出力回路を有するウエハの検査を実行することができる。

【0071】上記プローブと上記抵抗体との間の距離が10cm以下であることが好ましい。

【0072】上記プローブに対して上記抵抗体と並列に接続され、出力部が上記抵抗体を介して負側入力部に接続されたオペアンプをさらに備えていることにより、被検査ウエハからの信号をテスターで容易に測定できるようになる。

【0073】上記オペアンプの正側入力部には、上記テスターから出力された基準電圧が入力されることにより、被検査ウエハからの出力電流値の範囲が広い場合でも、基準電圧を変更することで、ウエハからの信号を容易に検出することができる。

【0074】上記抵抗体は集積化されていることにより、本発明の検査装置を容易に実現することができる。

【0075】上記オペアンプは集積化されていることにより、本発明の検査装置を容易に実現することができる。

10

20

30

40

50

【0076】本発明の階調制御用出力回路の検査方法は、互いに並列に接続された第1の抵抗体に接続された基準電流源と、上記基準電流源に接続され、階調制御用電流を出力するための階調制御部とを備えた階調制御用出力回路の検査方法であって、検査時には、上記第1の抵抗体と並列に設けられ、上記第1の抵抗体よりも抵抗値の低い第2の抵抗体を上記基準電流源に接続し、通常動作時には、上記第2の抵抗体と上記基準電流源との接続をオフにする。

【0077】この方法により、検査時に基準電流源に入力する電流を、通常動作時よりも大きくすることができるので、検査電流を大きくすることができ、検査を容易にすることができる。

【0078】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態として、差動回路に電源電圧を供給するための配線と出力バッファ部に電源電圧を供給するための配線とが分離された階調制御用出力回路（電圧駆動用ドライバ）を図を用いて説明する。

【0079】－電圧駆動用の階調制御用出力回路の基本構成－

図1は、本発明の第1の実施形態に係る階調制御用出力回路の構成を示す回路図である。

【0080】同図に示すように、本実施形態の階調制御用出力回路は、電源電圧供給部12と、電源電圧供給部12に接続され、一定の電流を供給するための電流供給部10と、電流供給部10と電源電圧供給部12との間に介設されたドレインとゲート電極とが互いに接続されたPチャネル型MISFETである第1のMISFET 11と、第1のMISFET 11と電源電圧供給部12との間に設けられた第1のノード23及び第2のノード24と、差動回路7a、電圧選択スイッチ20a、出力バッファ部8a及び出力部16を有する階調制御部1a、1b…、1_N（Nは整数）と、第1のMISFETのゲート電極に接続されたゲートバイアス供給線15と、第1のノード23と階調制御部1_Nの出力バッファ部8aとの間を接続し、各階調制御部の出力バッファ部に電源電圧を供給するための出力部用電圧供給線23aと、出力部用電圧供給線23a上に設けられ、階調制御部1a、1b…、1_{N-1}の出力バッファ部に接続された第1の電源電圧供給ノード25と、出力部用電圧供給線23aのうち、第1の電源電圧供給ノード25－第1のノード23間及び各第1の電源電圧供給ノード25間に介設された第1の抵抗体21と、第2のノード24と階調制御部1_Nの差動回路7_Nとの間を接続し、各階調制御部の差動回路に電源電圧を供給するための差動回路用電圧供給線24aと、差動回路用電圧供給線24a上に設けられ、階調制御部1a、1b…、1_{N-1}の差動回路に接続された第2の電源電圧供給ノード26と、差動回路用電圧供給線24aのうち、第2の電源電圧供給ノード26－第2のノード24間及び各第2の電源電圧供給ノード26間に介設された第2の抵抗体22とを備えている。1つの階調制御用出力回路は400～500個程度の階調制御部を備えている場合が多い。なお、本実施形態の階調制御用出力回路は、通常同一チップ内に集積化される。

【0081】また、抵抗体第1の抵抗体21及び第2の抵抗体22は、レイアウト等の要因により発生したものであり、存在しないことが理想である。

【0082】－階調制御部の構成－
本実施形態の階調制御用出力回路の階調制御部は、従来の電圧駆動用ドライバと同様にMISFETを用いたカレントミラー回路を有している。

【0083】図1に示すように、階調制御部1aは、ソースが第1の電源電圧供給ノード25に接続されたPチャネル型の第3のMISFET 3aと、ソースが第2の電源電圧供給ノード26に接続されたPチャネル型の第2のMISFET 2aと、電圧選択スイッチ20aと、入力部の（＋）側に電圧選択スイッチ20aが接続され、（－）側に出力部16が接続されたオペアンプ6aと、ソースが接地に、ドレインが第3のMISFET 3aに、ゲート電極がオペアンプ6aの出力部にそれぞれ接続されたNチャネル型MISFETである出力側トランジスタ5aと、出力側トランジスタ5aと第3のMISFET 3aとの間に設けられ、出力部16に接続された第3のノード14と、オペアンプ6aの出力部－出力側トランジスタ5aのゲート電極間と出力側トランジスタ5a－第3のノード14間を接続する配線間に設けられた発振防止用コンデンサ19aとを有している。

【0084】また、第2のMISFET 2a及びオペアンプ6aは差動回路7aを構成し、第3のMISFET 3a、第3のノード14、発振防止用コンデンサ19a及び出力側トランジスタ5aは出力バッファ部8aを構成している。ここで、本実施形態の階調制御部1aにおいては、第2のMISFET 2aと第3のMISFET 3aとは電気的特性が互いに揃えられ、且つ互いのゲート電極が互いにゲートバイアス供給線15に接続されており、カレントミラー回路を構成している。そして、本実施形態の階調制御用出力回路において、N個の階調制御部1a、1b…、1_Nは、それぞれ上述の階調制御部1aと同じ回路構成を有している。そして、第2のMISFET 2a、2b…、2_N及び第3のMISFET 3a、3b…、3_Nのゲート電極はそれぞれゲートバイアス供給線15に接続されている。ゲートバイアス供給線15から第2のMISFET 2a、2b…、2_N及び第3のMISFET 3a、3b…、3_Nのゲート電極に供給される電圧はその位置によらずほぼ同じであり、これらのMISFETは常時オン状態になっている。

【0085】なお、以下の本明細書中で、階調制御部1a、1b…、1_Nのそれぞれを区別しないで表す際には

10

20

30

40

50

「階調制御部1」と表記し、階調制御部1の構成素子であるN個の第2のMISFET、第3のMISFET、出力側トランジスタ、オペアンプ、電圧選択スイッチもそれぞれ個々を区別しないで表すときは、「第2のMISFET2」、「第3のMISFET3」、「出力側トランジスタ5」、「オペアンプ6」、「電圧選択スイッチ20」と表記する。

【0086】一階調制御部の機能一

階調制御部1は、液晶パネルのTFT及び画素（図示せず）に駆動電流を供給するための出力バッファ部8と、出力する駆動電流を制御するための差動回路7との2ステージアンプ構成となっている。

【0087】まず、階調制御用出力回路の駆動時には、第1の電源電圧供給ノード25及び第2の電源電圧供給ノード26からそれぞれ第2のMISFET2及び第3のMISFET3に互いにほぼ等しい値の電源電圧が供給される。すると、カレントミラー回路が機能して第2のMISFET2及び第3のMISFET3にはそれぞれ電流 I_1 及び I_2 が流れる。なお、出力部16に接続される負荷を駆動するため電流 I_2 は電流 I_1 に比べて大きくなるように設定されており、本実施形態では電流 I_1 ：電流 I_2 の値の比は約1：5となっている。

【0088】一方、電圧選択スイッチ20は、例えばマルチプレクサであり、複数の基準電圧をデジタルデータに応じて選択する機能を有している。そして、差動回路7のオペアンプ6は、負帰還されることで電圧選択スイッチ20で選択された選択電圧を電流増幅する。次いで、電流増幅された電圧は、発振防止用コンデンサ19を介して出力部16から液晶または有機ELパネルへと出力される。この際に、発振防止用コンデンサ19は、オペアンプ6の出力信号の位相を変え、負帰還されたオペアンプ6の出力を安定化している。

【0089】ところで、階調制御部1においては、発振防止用コンデンサ19はオペアンプ6の出力電流（＝電流 I_1 ）と出力バッファ部8を流れる電流とにより充電される。しかし、差動回路7側を流れる電流は、出力バッファ部8側を流れる電流より小さくなっているため、オペアンプ6の出力電流の大きさによって発振防止用コンデンサ19の充電時間が変わる。発振防止用コンデンサ19の充電時間が変わるとオペアンプ6のスルーレートが変化し、出力部16に接続された負荷への充電時間も変化する。差動回路7側を流れる電流は、第2のMISFET2のゲートソース間電圧 V_{gs2} によって変化するので、ゲートバイアス供給線15の電位が位置によらず一定の場合、第2の電源電圧供給ノード26から供給される電源電圧を一定にすることで、出力電流を一定にすることができる。

【0090】一従来電圧駆動用ドライバとの相違点一
本実施形態の階調制御用出力回路が、従来の電圧駆動用ドライバと異なる点は、差動回路と出力バッファ部とに

それぞれの電源電圧を供給する配線が分離されていることである。

【0091】これにより、本実施形態の階調制御用出力回路は、従来の電圧駆動用ドライバに比べて抵抗体による電圧降下を小さく抑えることが可能になっている。そのため、電源電圧供給部12から遠い位置にある第1の電源電圧供給ノード25及び第2の電源電圧供給ノード26における電圧降下が抑えられ、第1の電源電圧供給ノード25及び第2の電源電圧供給ノード26の位置による電圧差を小さくすることができる。

【0092】また、本実施形態の階調制御用出力回路において、ゲートバイアス供給線15の電位は位置によらず一定であるので、第2のMISFET2のゲートソース間電圧 V_{gs2} のばらつきも抑えられる。このため、差動回路7を流れる電流は電源電圧供給部12からの距離に関わらずほぼ一定となり、オペアンプ6のスルーレートをほぼ一定にすることができる。

【0093】従って、本実施形態の階調制御用出力回路を用いることにより、負荷への充電時間を一定にすることができるので、表示ムラのない液晶パネルや電圧書き込み方式の有機ELパネルを実現することができる。

【0094】なお、本実施形態の階調制御用出力回路では、電圧選択スイッチ20によって表示装置等に供給する電圧を切り替えられるようになっており、これによって階調制御を行っている。

【0095】なお、本実施形態の階調制御用出力回路は、液晶駆動ドライバとして用いられる他、電圧により階調表示されるプリンタのヘッド等にも用いられる。

【0096】なお、本実施形態では電流 I_1 ：電流 I_2 の値の比は約1：5に設定されるが、 $I_1 < I_2$ であれば電流値の比に特に制限はない。

【0097】なお、本実施形態の階調制御用出力回路において、カレントミラー回路を構成するMISFETとしてPチャネル型MISFETが用いられたが、これに代えてNチャネル型MISFETを用いてもよい。

【0098】なお、本実施形態の階調制御用出力回路において、階調制御部1に含まれるMISFETの代わりにnpn型のバイポーラトランジスタを用いることで、電流駆動用ドライバとすることができる。

【0099】（第2の実施形態）図2（a）、（b）は、それぞれ本発明の第2の実施形態に係る階調制御用出力回路（電圧駆動用ドライバ）の構成を示す回路図、及び電源電圧供給線における電源電位と電源電圧供給部からの距離との関係を示す図である。

【0100】本実施形態の電圧駆動用の階調制御用出力回路は、ゲートバイアス供給線15の電位に傾斜を持たせることにより、各第2のMISFET2及び各第3のMISFET3のゲートソース間電圧 V_{gs2} 及び V_{gs3} をほぼ一定にしたものである。

【0101】図2（a）に示すように、本発明の第2の

実施形態に係る階調制御用出力回路は、電源電圧供給部12と、電源電圧供給部12に接続され、出力部16を有する階調制御部1a、1b…、1_n（_nは整数）と、接地に接続され、一定の電流を供給するための第1の電流供給部10aと、第1の電流供給部10aと電源電圧供給部12との間に介設されたドレインとゲート電極とが互いに接続されたPチャネル型MISFETである第1のMISFET11と、第1のMISFET11と電源電圧供給部12との間に設けられた第1のノード18と、一定の電流を供給するための第2の電流供給部31と、ドレインが第2の電流供給部31に接続され、ドレインとゲート電極とが互いに接続されているPチャネル型MISトランジスタである傾斜バイアス用MISFET30と、第1のMISFET11のゲート電極と傾斜バイアス用MISFET30のゲート電極とを互いに接続するゲートバイアス供給線15と、第1のノード18と傾斜バイアス用MISFET30のソースとを互いに接続し、各階調制御部1に電源電圧を供給するための電源電圧供給配線4と、電源電圧供給配線4上に設けられ、階調制御部1a、1b…、1_nにそれぞれ接続された電源電圧供給ノード17と、各電源電圧供給ノード17の間及び電源電圧供給ノード17と第1のノード18との間に介設された抵抗体13とを備えている。なお、本実施形態の階調制御用出力回路は、第1の実施形態同様、通常同一チップ内に集積化される。また、以後の実施形態に係る階調制御用出力回路も同様に集積化されている。

【0102】なお、傾斜バイアス用MISFET30は第1のMISFET11と同じ導電型ならばPチャネル型、Nチャネル型のどちらでもよい。

【0103】また、本実施形態において、階調制御部1は、第1の実施形態と同一の構成を有している。

【0104】すなわち、図2（a）に示すように、階調制御部1は、ソースが互いに接続されると共に電源電圧供給ノード17に接続された共にPチャネル型の第2のMISFET2a及び第3のMISFET3aと、電圧選択スイッチ20aと、入力部の（+）側に電圧選択スイッチが接続され、（-）側に出力部16が接続されたオペアンプ6aと、ソースが接地に、ドレインが第3のMISFET3aに、ゲート電極がオペアンプ6aの出力部にそれぞれ接続されたNチャネル型MISFETである出力側トランジスタ5aと、出力側トランジスタ5aと第3のMISFET3aとの間に介設され、出力部16に接続された第2のノード14と、オペアンプ6aの出力部-出力側トランジスタのゲート電極間と出力側トランジスタ5a-第2のノード間を接続する配線間に設けられた発振防止用コンデンサ19aとを有している。また、第2のMISFET2a及びオペアンプ6aは差動回路7aを構成し、第3のMISFET3a、第2のノード14、発振防止用コンデンサ19a及び出力

側トランジスタ5aは出力バッファ部8aを構成している。

【0105】本実施形態の階調制御用出力回路の特徴は、第2の電流供給部31及び傾斜バイアス用MISFET30が設けられている点にある。これによって、以下で説明するように、電源電圧供給ノード17の電圧降下によって、第2のMISFET2及び第3のMISFET3のゲート-ソース間電圧（ V_{gs1} 及び V_{gs2} ）が減少することを防いでいる。

【0106】また、傾斜バイアス用MISFET30は、本装置の動作中、常にオン状態となっている。そのため、傾斜バイアス用MISFET30のドレイン側の電位は、電源電圧供給部12の電位が少なくとも抵抗体13により電圧降下された電位となっている。そして、傾斜バイアス用MISFET30のドレインとゲート電極とは互いに接続されているので、傾斜バイアス用MISFET30のゲート電極の電位は、第1のMISFET11のゲート電極の電位よりも低くなっている。そのため、図2（b）に示すように、ゲートバイアス供給線15には電源電圧供給部12から離れるに従って電位が低くなるような電位勾配が形成される。そして、本実施形態の階調制御用出力回路では、ゲートバイアス供給線15における電位勾配が、電源電圧供給配線4における電圧降下の割合にほぼ比例するように設定することで、各々の第2のMISFET2及び第3のMISFET3のゲート-ソース間電圧（ V_{gs1} 及び V_{gs2} ）をほぼ一定にすることを可能にしている。

【0107】これにより、電源電圧供給部12からの距離に関わらず第2のMISFET2を流れる電流 I_1 の値をほぼ一定にすることができ、オペアンプ6のスルーレートをほぼ一定にすることができる。その結果、本実施形態の階調制御用出力回路によれば、すべての階調制御部1の出力部16から均一な電流値を有する電圧信号を、TFT及び画素に供給することが可能になる。

【0108】また、本実施形態の階調制御用出力回路においては、差動回路7に電源電圧を供給するための配線と出力バッファ部8に電源電圧を供給するための配線とが分離されていない。傾斜バイアス用MISFET30の面積は電圧供給線の面積に比べて非常に小さいので、本実施形態の階調制御用出力回路は、第1の実施形態の階調制御用出力回路に比べて面積が小さくなっている。駆動ドライバが液晶パネルに用いられる場合、多出力（400～500出力）を備え、パネルの辺縁部に配置される。そのため、駆動ドライバの面積が小さいことは、パネルを小型化するために重要である。

【0109】また、本実施形態の階調制御用出力回路においては、差動回路7と出力バッファ部8の電源電圧が、共に電源電圧供給配線4から供給されるので、抵抗体13の抵抗値のばらつきなどによらず、1つの階調制御部1内の差動回路7及び出力バッファ部8にそれぞれ

ほぼ等しい値の電源電圧が供給される。このことも、オペアンプのスルーレートを一定にするためには有利である。

【0110】以上のように、本実施形態の階調制御用出力回路を用いることにより、オペアンプ6のスルーレートをほぼ一定にし、負荷への充電時間を一定にすることができるので、液晶パネル及び電圧書き込み方式の有機ELパネルにおける表示ムラを抑えることができる。

【0111】また、本実施形態の階調制御用出力回路は、第1の実施形態の階調制御用出力回路よりも面積を小さくすることが可能であるので、集積化に有利であり、サイズの小さい液晶パネルにも好ましく用いられる。

【0112】なお、本実施形態の階調制御用出力回路において、階調制御部1内のカレントミラー回路をPチャネル型MISFETで構成したが、これに代えてNチャネル型MISFETを用いてもよい。その場合には、第1のMISFET11と傾斜バイアス用MISFET30も共にNチャネル型MISFETにすればよい。これは、以下の実施形態に係る階調制御用出力回路においても同様である。

【0113】なお、本実施形態の階調制御部1においても、電流 I_1 ：電流 I_2 の値の比は約1：5に設定されるが、 $I_1 < I_2$ であれば電流値の比に特に制限はない。

【0114】また、本実施形態の階調制御用出力回路において、ゲートバイアス供給線15上に電位勾配を形成するために第2の電流供給部31及び傾斜バイアス用MISFET30を設けたが、これに代えて、電源電圧供給部12とは独立した電流供給部と、第1のMISFET11のゲート電極の電位より低い電位を有する低電圧供給部とを設けてもよい。

【0115】なお、以上では階調制御用出力回路について説明したが、階調制御部1に代えて複数のカレントミラーを有する電流加算型D/Aコンバータを用いることで、電流による階調制御を行なうための階調制御用出力回路を実現することができる。この場合でも、各D/Aコンバータを構成するMISFETのゲート-ソース間電圧が互いに等しくなっているので、出力電流を一定にすることができる。このような階調制御用出力回路は、有機ELパネル及び無機ELパネル用のドライバや、LEDプリンタのヘッドとして用いることができる。電流駆動用の階調制御用出力回路については後に詳述する。

【0116】（第3の実施形態）本発明の第3の実施形態に係る階調制御用出力回路は、第1の実施形態と第2の実施形態に係る階調制御用出力回路を組み合わせたものである。

【0117】図3は、本発明の第3の実施形態に係る電圧駆動用の階調制御用出力回路の構成を示す回路図である。なお、第1及び第2の実施形態と同じ素子及び回路には、図1、2と同じ符号を付してある。

【0118】図3に示すように、本実施形態の階調制御用出力回路は、電源電圧供給部12と、電源電圧供給部12に接続され、差動回路7、電圧選択スイッチ20、出力バッファ部8及び出力部16を有するN個の階調制御部1と、接地に接続され、一定の電流を供給するための第1の電流供給部10aと、第1の電流供給部10aと電源電圧供給部12との間に介設されたドレインとゲート電極とが互いに接続されたPチャネル型MISFETである第1のMISFET11と、第1のMISFET11と電源電圧供給部12との間に設けられた第1のノード23及び第2のノード24と、一定の電流を供給するための第2の電流供給部31と、ソースが第2の電流供給部31に接続され、ドレインとゲート電極とが互いに接続されたPチャネル型MISトランジスタである傾斜バイアス用MISFET30と、第1のMISFET11のゲート電極と傾斜バイアス用MISFET30のゲート電極とを接続するゲートバイアス供給線15と、第2のノード24と傾斜バイアス用MISFET30のソースとを互いに接続する差動回路用電圧供給線24aと、差動回路用電圧供給線24a上に設けられ、各差動回路7に接続された第2の電源電圧供給ノード26と、第2のノード24と第2の電源電圧供給ノード26との間及び各第2の電源電圧供給ノード間に設けられた抵抗体22と、第1のノード23とN番目の第3のMISFET3nとを接続する出力部用電圧供給線23aと、出力部用電圧供給線23a上に設けられ、各出力バッファ部8に接続された第1の電源電圧供給ノード25と、第1のノード23と第1の電源電圧供給ノード25との間及び各第1の電源電圧供給ノード25間に設けられた抵抗体21とを備えている。なお、階調制御部1の構成は、第1の実施形態と同様である。

【0119】本実施形態の階調制御用出力回路においては、差動回路7に電源電圧を供給するための配線と出力バッファ部8に電源電圧を供給するための配線とが分離されることにより、電源電圧供給部12から遠い位置に設けられた第1の電源電圧供給ノード25及び第2の電源電圧供給ノード26での電源電圧の降下を小さく抑えることができる。

【0120】これに加え、本実施形態の階調制御用出力回路では、ゲートバイアス供給線15上に電位勾配が形成されている。これにより、第2のMISFET2及び第3のMISFETのゲート-ソース間電圧 V_{gs1} 及び V_{gs2} の位置によるばらつきが抑えられている。

【0121】従って、本実施形態の階調制御用出力回路では、上述の2つの構成の相乗効果により、階調制御部1の位置によらず、オペアンプ6のスルーレートをより精度良く一定にすることができる。このため、本実施形態の階調制御用出力回路によれば、すべての階調制御部1の出力部16から出力される電流も一定とすることができ、負荷への充電時間を一定にすることができる。そ

の結果、本実施形態の階調制御用出力回路を用いることにより、液晶パネル及び電圧書き込み方式の有機ELパネルにおいて生じる表示ムラを抑えることができる。

【0122】(第4の実施形態)第1～3の実施形態の階調制御用出力回路において、第2のMISFET2には、共通の電圧供給線を介して電源電圧供給部12からの電源電圧が分配され、(これを以後「電圧分配方式」と称す)それぞれのゲートソース間電圧 V_{gs1} はほぼ一定になるよう設定されている。

【0123】これに対し、本実施形態の階調制御用出力回路は、電源電圧供給部12から遠い位置に設けられた傾斜バイアス用MISFET30側に受け手側カレントミラー回路43を設け、第1の電流供給部10aから供給される電流と等しい大きさの電流をカレントミラー同士の電流分配により傾斜バイアス用MISFET30側に分配するものである。これを、以後「電流受け渡し方式」と称する。

【0124】図4は、本実施形態の階調制御用出力回路の構成を示す回路図である。なお、第3の実施形態と同じ素子及び回路には、図3と同じ符号を付してある。

【0125】同図に示すように、本実施形態の階調制御用出力回路は、電源電圧供給部12と、電源電圧供給部12に接続され、差動回路7、電圧選択スイッチ20、出力バッファ部8及び出力部16を有するN個の階調制御部1と、接地に接続された第1の電流供給部10aと、第1の電流供給部10aと電源電圧供給部12との間に順に介設されたドレインとゲート電極とが互いに接続されたPチャネル型MISFETである第1のMISFET11と、第1のMISFET11と電源電圧供給部との間に設けられた第1のノード23及び第2のノード24と、共にNチャネル型MISFETで、ゲート電極同士が互いに接続された第1のミラーMISFET43a及び第2のミラーMISFET43bから構成される受け手側カレントミラー回路43と、ドレインが第1のミラーMISFET43aに、ゲート電極が第1のMISFET11のゲート電極に、ソースが電源電圧供給部12にそれぞれ接続され、第1のMISFET11と共に送り手側カレントミラーを構成するPチャネル型の第4のMISFET41と、ソースが第2のNチャネル型MISFET43bに接続され、ドレインとゲート電極とが互いに接続されたPチャネル型MISトランジスタである傾斜バイアス用MISFET30と、第1のMISFET11のゲート電極と傾斜バイアス用MISFET30のゲート電極とを接続するゲートバイアス供給線15と、第2のノード24と傾斜バイアス用MISFET30のソースとを接続する差動回路用電圧供給線24aと、差動回路用電圧供給線24a上に設けられ、各差動回路7に接続された第2の電源電圧供給ノード26と、第2のノード24と第2の電源電圧供給ノード26との間及び各第2の電源電圧供給ノード間に設けられた

抵抗体22と、第1のノード23とN番目の第3のMISFET3_Nとを接続する出力部用電圧供給線23aと、出力部用電圧供給線23a上に設けられ、各出力バッファ部8に接続された第1の電源電圧供給ノード25と、第1のノード23と第1の電源電圧供給ノード25との間及び各第1の電源電圧供給ノード25間に設けられた抵抗体21とを備えている。また、階調制御部1の構成は第3の実施形態と同様である。

【0126】本実施形態の階調制御用出力回路は、第3の階調制御用出力回路の第2の電流供給部31として、受け手側カレントミラー回路43と、第1の電流供給部10aから供給される電流を分配するための第4のMISFET41とが設けられたものである。

【0127】ここで、カレントミラーを構成する第1のMISFET11と第4のMISFET41とは互いに同一の素子構成並びに電気的特性を有しており、第1のミラーMISFET43aと第2のミラーMISFET43bも互いに同一の素子構成及び電気的特性を有している。加えて、本実施形態の階調制御用出力回路において、第1のMISFET11、第4のMISFET41、第1のミラーMISFET43a及び第2のミラーMISFET43bのそれぞれは飽和領域で動作するので、第1の電流供給部10aから供給される電流と、第2のミラーMISFET43bを流れる電流とは高精度で等しくなっている。

【0128】また、1つのバイアス回路で距離の離れた回路に一定電流を供給することが可能になるので、回路面積の増大を避けることができる。

【0129】これに加えて、電流受け渡し方式によれば、抵抗体による電圧降下の影響を受けずに電流を分配することができるので、電源電圧供給部12から遠い位置(数mm程度離れた位置)に設けられた第2のMISFET2(または差動回路7)に供給される電源電圧と電源電圧供給部12から近い位置に設けられた第2のMISFETに供給される電源電圧とを精度良く揃えることが可能になる。

【0130】この結果、本実施形態の階調制御用出力回路では、第2のMISFET2のゲートソース間電圧 V_{gs1} は電源電圧供給部12からの距離によらず、ほぼ一定になっており、オペアンプ6のスルーレートもほぼ一定にすることができる。すなわち、本実施形態の階調制御用出力回路を用いることにより、液晶パネル及び電圧書き込み方式の有機ELパネルにおいて生じる表示ムラを抑えることができる。

【0131】なお、本実施形態では、電圧分配方式と電流受け渡し方式を組み合わせる例を説明したが、各階調制御部1の間にカレントミラー回路を設け、全ての第2のMISFET2に電流受け渡し方式で電流を分配することもできる。この場合には、面積が大きくなるため、実際には電源電圧供給部12から比較的近い第2のMISFET2に電流を受け渡すように構成される。

10

20

30

40

50

SFET2には電圧分配方式で電源電圧を分配し、電源電圧供給部12から比較的遠い第2のMISFET2には電流受け渡し方式で電流を分配することが好ましい。

【0132】(第5の実施形態)本発明の第5の実施形態として、第1～4の実施形態で説明した電圧駆動用の階調制御用出力回路の構成を電流駆動用の階調制御用出力回路に適用した例を説明する。

【0133】図5は、本発明の第5の実施形態に係る階調制御用出力回路(電流駆動用ドライバ)の構成を示す図であり、図6は、図5に示す階調制御回路51の詳細な構成を示す図である。

【0134】図5に示すように、本実施形態の階調制御用出力回路は、電源電圧供給部12と、電源電圧供給部12に接続され、電流加算型のD/Aコンバータとして機能するN個の階調制御回路51と、接地に接続された第1の電流供給部10aと、第1の電流供給部10aと電源電圧供給部12との間に介設されたドレインとゲート電極とが互いに接続されたPチャネル型MISFETである第1のMISFET11と、第1のMISFET11と電源電圧供給部12との間に設けられた第1のノード18と、共にNチャネル型MISFETで、ゲート電極同士が互いに接続された第1のミラーMISFET43a及び第2のミラーMISFET43bから構成される受け手側カレントミラー回路43と、ドレインが第1のミラーMISFET43aに、ゲート電極が第1のMISFET11のゲート電極に、ソースが電源電圧供給部12にそれぞれ接続され、第1のMISFET11と共に送り手側カレントミラーを構成するPチャネル型の第4のMISFET41と、ドレインが第2のNチャネル型MISFET43bに接続され、ドレインとゲート電極とが互いに接続されたPチャネル型MISトランジスタである傾斜バイアス用MISFET30と、第1のMISFET11のゲート電極と傾斜バイアス用MISFET30のゲート電極とを接続するゲートバイアス供給線15と、各階調制御回路51に電源電圧を供給するための電源電圧供給配線4と、電源電圧供給配線4上に設けられ、各階調制御回路51にそれぞれ接続された電源電圧供給ノード17と、各電源電圧供給ノード17の間及び電源電圧供給ノード17と第1のノード18との間に介設された抵抗体13とを備えている。

【0135】また、図6に示すように、階調制御回路51は、ソースが電源電圧供給ノード17に接続され、且つ互いに並列に接続された複数の電流加算用のカレントミラー部52と、各電流加算用のカレントミラー部52のドレイン側にそれぞれ設けられ、出力側が互いに接続された選択スイッチ53と、選択スイッチ53の出力側に接続され、出力電流を供給するための出力部54とを有している。

【0136】また、電流加算用のカレントミラー部52は、互いに並列に接続されたPチャネル型MISFET

から構成されており、6ビットの階調(64階調)の場合、それぞれ1, 2, 4, 8, 16, 32個のPチャネル型MISFETから構成されている。そして、選択スイッチ53は、Nチャネル型MISFET及びPチャネル型MISFETからなるトランスファークローク部49と、出力側がNチャネル型MISFETに接続されたインバータ50とを有している。それぞれの選択スイッチ53は、順にデジタルデータ L_0, L_1, \dots, L_5 によってオン・オフが制御されている。また、電流加算用のカレントミラー部52を構成するMISFETは互いに電気的特性が揃えられているので、選択スイッチ53がオンの場合には、電流加算用のカレントミラー部52の各Pチャネル型MISFETに互いに等しい電流が流れるようになっている。

【0137】この構成により、本実施形態の階調制御用出力回路においては、64通りの大きさの電流を出力部54から供給することが可能になっている。加えて、第4の実施形態で説明したように、本実施形態の階調制御用出力回路の階調制御回路51間では出力部54から出力される電流量のばらつきが抑えられているので、本実施形態の階調制御用出力回路を用いれば、有機EL、無機EL及びLED等の電流駆動の発光素子を用いたパネルの階調制御が実現されると共に、表示ムラの抑制も実現される。また、本実施形態の階調制御用出力回路をこれらの発光素子を用いたプリンタのヘッドに用いることにより、印字ムラの少ないプリンタを実現することができる。

【0138】また、本実施形態の階調制御用出力回路においては、比較的大きな面積を必要とするオペアンプを設ける必要がないため、オペアンプを用いるタイプの電流駆動用の階調制御用出力回路、あるいは電圧駆動用の階調制御用出力回路に比べてチップサイズを縮小することが可能になる。

【0139】以上の説明では、64階調を実現する階調制御用出力回路の例を示したが、nビット(M階調; $M=2^n$)の階調表示を実現するためには、それぞれ1, 2, ..., $M/2$ 個のMISFETを有する電流加算用のカレントミラー部52を1つの階調制御回路51に設ければよい。ここで、Mは正の偶数であり、例えば、本実施形態の階調制御回路51に64個のPチャネル型MISFETを有する電流加算用のカレントミラー部52をさらに設けることで、128階調の階調表示が可能になる。

【0140】また、本実施形態においては、電流加算用のカレントミラー部52のMISFETの個数によって階調表示を実現していたが、ビット数あたり1つのMISFETを設け、それらのゲート幅(W)/ゲート長(L)の値を1, 2, 4, ..., 32としてもよい。ただし、MISFETの個数により階調制御を行なう方が出力電流の精度は高くなる。

10

20

30

40

50

【0141】このように、本実施形態の階調制御用出力回路においては、第1～第4の実施形態で説明した階調制御用出力回路の階調制御部1に代えて電流加算型D/Aコンバータを設けることにより、輝度ムラの少ない有機ELパネルを実現することができる。

【0142】なお、本実施形態の階調制御用出力回路において、電流加算用のカレントミラー部52を構成するMISFETとしては、Nチャネル型MISFETを用いてもよい。

【0143】なお、本実施形態の階調制御用出力回路において、階調制御回路51に代えて第2の実施形態で用いられた階調制御部1を備える場合には、液晶パネル等に用いられる電圧駆動用ドライバとなる。

【0144】(第6の実施形態)本発明の第6の実施形態に係る階調制御用出力回路は、次の4つの特徴を有する電流駆動ドライバである。

【0145】まず、第1の特徴は、多段化されたカレントミラー部が設けられることにより、出力電流間のばらつきが低減されている点である。

【0146】次に、第2の特徴は、表示装置に与える輝度制御と、実際に表示される輝度特性との間の差を補正する手段が講じられた点である。

【0147】そして、第3の特徴は、表示装置上の信号線に生じる寄生容量の充電を補助するための選択ブリチャージ回路(不図示)と選択ブリチャージ制御回路62とが設けられた点である。

【0148】次に、第4の特徴は、出力電流を嵩上げするための電流嵩上げ制御回路61が設けられた点である。

【0149】図9は、本発明の第6の実施形態に係る階調制御用出力回路を用いた電流駆動方式の表示装置の構成を示すブロック回路図である。

【0150】同図に示すように、本実施形態の階調制御用出力回路は、ロー(Low)側電流出力部を有し、1～4・8・16階調を制御するためのロー側階調制御回路59と、ロー側階調制御回路59に基準電圧 V_{st1} を供給するためのロー側カレントミラー部55と、ハイ(High)側電流出力部を有し、4・8・16～64階調を制御するためのハイ側階調制御回路60と、出力部64に接続された電流嵩上げ制御回路61と、ハイ側階調制御回路60及び電流嵩上げ制御回路61にそれぞれ基準電圧 V_{st2} を供給するためのハイ側カレントミラー部56と、ディスプレイ側のソース信号線58に接続された選択ブリチャージ制御回路62とを備えている。

【0151】また、図9では簡略化されて示されているが、ロー側カレントミラー部55及びハイ側カレントミラー部56は共に3段構成をとっており、それぞれ176出力を有している。このロー側カレントミラー部55の一段目及びハイ側カレントミラー部56の一段目(親電流源)は、それぞれ外部の抵抗体63a、63bに接

続されている。

【0152】また、出力部64からはロー側電流出力部、ロー側電流出力部からの出力電流に、電流嵩上げ制御回路61からの出力電流が加算された電流がディスプレイパネル側に供給される。

【0153】以下に、本実施形態の階調制御用出力回路の特徴について説明する。ただし、嵩上げ回路についての説明は、後の実施形態で行なう。

【0154】—カレントミラー部の多段化—

カレントミラー回路の定電流特性を維持するためには、共通の電圧供給線に接続されたミラートランジスタの数を限定する必要がある(電圧分配方式)。これは、ミラートランジスタの数が多くなると、先に説明したように、電圧供給線における電圧降下の影響が大きくなるからである。

【0155】一方、電流駆動用の階調制御用出力回路は、電圧駆動用の階調制御用出力回路と同様に多くの出力を有しており、本実施形態の階調制御用出力回路の出力数は、R(赤)・G(緑)・B(青)の一色当たり176出力で、合計528出力である。この176出力に対応するカレントミラーに共通の電圧供給線から電源電圧を供給すると、出力電流間のばらつきが生じるおそれがある。そこで、カレントミラー同士を接続する電流受け渡し方式を用いることになるが、電流分配の数を増加させれば消費電流が増加するため、製品の性能とのトレードオフがある。このため、本願発明者らは、電流受け渡し方式を電圧分配方式とを併用し、カレントミラー部の多段化構造を採用した。

【0156】図7は、電流源を3段式にした場合の多段式カレントミラー部を示す図である。

【0157】同図に示すように、第1段カレントミラー(親電流源55a)の電流値は、カレントミラー回路により16個の第2段カレントミラー(子電流源55b)にコピーされる。さらに、子電流源55bの電流値も、カレントミラー回路により11個の第3段カレントミラー(孫電流源55c)にコピーされる。このようにして、各段のカレントミラーを構成するMISFETには、互いに等しい大きさの電流が分配される。上記の構成により、親電流源55aの電流値は、 $16 \times 11 = 176$ 個の孫電流源55cに伝達されることになる。このカレントミラー部の構成によれば、親電流源55aの電流値を直接176個の孫電流源55cに伝達する場合よりも、孫電流源55cからの出力電流値のばらつきを小さくすることができる。そのため、多段式カレントミラー部が有機ELディスプレイなどに用いられる場合には、表示ムラを小さくすることができる。

【0158】本実施形態の階調制御用出力回路は、上述の3段構成の多段式カレントミラー部を備えているので、各ロー側階調制御回路59に入力される基準電圧 V_{st1} 、 V_{st2} のばらつきが小さくなっている。その

ため、各々のロー側電流出力部及びハイ側電流出力からの出力電流のばらつきも低減されている。

【0159】なお、カレントミラー部の段数は3段以上であってもよく、カレントミラー部の出力数を適当な数に変更してもよい。

【0160】 γ 補正に対する取り組み

ディスプレイに用いられる発光素子の輝度は、印加電流に正比例して上がるわけではない。印加電流が小さい時よりも、印加電流が大きい時の方が輝度に対する電流の増加率が大きくなっている。これは γ 特性と呼ばれ、液晶の場合でも見られる特性である。

【0161】図8は、電流駆動用の階調制御用出力回路が出力する電流の階調レベルー出力電流特性を示す図である。

【0162】電流駆動用の階調制御用出力回路においては、カレントミラーを用いた単位電流源の組み合わせで階調を制御するため、階調制御を行うカレントミラー部が1つの場合、階調レベル対出力電流のグラフは直線になる。そのため、パネル上の発光素子の輝度が設定からずれることがあった。

【0163】そこで、本願発明者らは、この不具合を解決するために、表示装置に用いられる階調制御用出力回路のカレントミラー部及び階調制御回路をロー側とハイ側の2つに分け、出力電流が小さい時にはロー側電流出力部からのみ電流が出力され、出力電流が大きい場合にはハイ側電流出力部からの電流がロー側電流出力部からの電流に加算されるようにした。

【0164】本実施形態の階調制御用出力回路においては、1～16階調までを単独で制御できるロー側階調制御回路59からの出力電流は出力部64から常に出力され、4、8、16、32、64階調を制御できるハイ側階調制御回路60からの出力電流は、16階調を越える階調制御の時にのみ出力部64から出力される。

【0165】その結果、出力電流の特性は図8中に矢印で示したように、発光素子の γ 特性に近似される。本実施形態の例では、階調レベルー出力電流特性グラフの傾きは、16階調以下で10nA/階調、16を越え64階調までが40nA/階調となっている。

【0166】ここで、ロー側階調制御回路59及びハイ側階調制御回路60中のスイッチ回路のオン・オフは、データ変換回路、2段ラッチを介して印加される γ 補正制御信号G0～G1及び画像データD0～D5によって制御されている。

【0167】これにより、本実施形態の階調制御用出力回路を有機ELパネル等に用いる場合、設定通りの階調制御を行えるようになる。

【0168】このような γ 補正の対策が講じられた本実施形態の階調制御用出力回路は、有機ELだけでなく無機ELやLEDなどの発光素子を用いた表示装置に用いられる。また、これら発光素子を用いたプリンタヘッド

にも利用できる。

【0169】なお、図9では、1色のみの電流駆動用の階調制御用出力回路の例を示したが、有機EL、無機EL、LEDなどの発光素子では、R、G、Bの色ごとに γ 特性が異なるので、R、G、Bの各色の出力に対して異なる出力特性を有する多段式カレントミラー部を設けることが好ましい。

【0170】なお、本実施形態の階調制御用出力回路では、互いに異なる直線特性を有するカレントミラー部の組み合わせることで階調ー出力電流特性を γ 特性に近似させたが、3組以上の多段式カレントミラー部及び階調制御回路を組み合わせることで、より精度の良い近似が実現される。

【0171】ー選択ブリチャージ制御回路ー

図24に示すように、有機ELパネルでは、例えば低温ポリシリコンからなるPチャネル型のTFTが多数配置されている。このパネルでは、パネルから階調制御用出力回路側に引き込む電流I。を大きくすれば、TFT及び有機EL素子にも大きな電流が流れるため、有機EL素子の輝度が高くなる。このとき、白色が表示される。

【0172】逆に、TFTのドレイン電圧を高くすると、電流が低減するため、パネルには黒色が表示される。このとき、ドレイン電圧を高くするためには、ソース信号線58の電位をパネルの電位近傍まで上昇させる必要がある。

【0173】しかし、パネルの信号線には大きな寄生容量があり、黒表示の際にはこの寄生容量を充電する必要がある。ところが、低温ポリシリコンの移動度はシリコン結晶よりも1桁低く、電流能力が小さいので、速やかな黒表示が困難であった。

【0174】電流能力を改善するためにはTFTのW/L比を大きくすればよいが、画素中のTFTは表示画素上に配置されているため、W/L比を大きくすると、ディスプレイの開口率が低下してしまうという不具合が生じる。

【0175】これを解決するため、本願発明者らは検討の結果、駆動回路側からブリチャージを行なうこととした。すなわち、ソース信号線58の寄生容量を一定期間を充電し、低温ポリシリコンの電流能力を補うための選択ブリチャージ回路及び選択ブリチャージ制御回路を階調制御用出力回路中に設けた。

【0176】図10は、本実施形態の階調制御用出力回路における選択ブリチャージ回路及び選択ブリチャージ制御回路の一例を示す回路図である。

【0177】同図に示すように、本実施形態における選択ブリチャージ回路62aは、Nチャネル型MISFET70aとPチャネル型MISFET70bとから構成されたトランスファークラップ70と、出力部がNチャネル型MISFET70aのゲート電極に接続され、入力部がPチャネル型MISFET70bのゲート電極に接

続されたインバータ71とを有している。トランスファ
ーゲート70のソースは電源電圧PVを供給するための
電源電圧供給部に接続されており、ドレインは電流出力
ノード7.7を介して階調制御回路の出力部に接続されて
いる。

【0178】また、選択ブリチャージ制御回路62は、
例えば、NOR回路74と、OR回路75と、選択ブリ
チャージ回路62aを制御するための信号を出力するN
AND回路76とを有している。なお、これらの選択ブリ
チャージ回路及び選択ブリチャージ制御回路は、階調
制御用出力回路の一部としてチップに集積化される。

【0179】本実施形態における選択ブリチャージ回路
62aは、タイミング制御されており、画像データが黒
レベルに近い例えば0~7の場合、1水平期間の初めの
一定期間だけ黒レベルに相当する電圧を出力するように
選択ブリチャージ制御回路62に制御される。これにより
画像データが黒レベルに近い場合、ソース信号線58
の寄生容量があらかじめ充電され、黒表示の品質を向上
させることができる。

【0180】それ以外の期間には、トランスファ
ーゲート70がオフに制御されているので、寄生容量の充電は
行われない。

【0181】また、選択ブリチャージ制御回路62及び
選択ブリチャージ回路62aを用いれば、黒レベルに近い
画像データが入力された際に、選択的にブリチャージ
期間を制御することができるので、特に比較的寄生容量
が小さいパネルにおいて無駄な電力消費を抑えることが
できる。

【0182】なお、選択ブリチャージ制御回路62及び
選択ブリチャージ回路62aを備えた階調制御用出力回
路は、アモルファスシリコンを用いたTFTを有するパ
ネルの制御にも好ましく用いられる。

【0183】なお、選択ブリチャージ制御回路62及び
選択ブリチャージ回路62aの上記の機能は、ロー側カ
レントミラー部55、ハイ側カレントミラー部56の有
無や γ 補正手段の有無に関わらず発揮されるものであ
る。また、選択ブリチャージ制御回路62及び選択ブリ
チャージ回路62aは、有機EL以外の発光素子を用い
た表示装置にも有効である。

【0184】なお、本実施形態の階調制御用出力回路に
おいて、電流嵩上げ制御回路61、選択ブリチャージ制
御回路62及び選択ブリチャージ回路62aを備えてい
なくても、従来の階調制御用出力回路に比べ表示装置の
表示ムラを抑えることができるが、これらの回路を備え
る場合の方がより精度の高い画像表示を可能にすること
ができる。

【0185】(第7の実施形態) 本発明の第7の実施形
態として、第6の実施形態に係る階調制御用出力回路と
同一の回路構成を有し、レイアウトが改善された階調制
御用出力回路(電流駆動用ドライバ)について説明す

る。

【0186】図11は、本発明の第6の実施形態に係る
階調制御用出力回路のレイアウトの参考例を示す図であ
り、図12は、本発明の第7の実施形態に係る階調制御
用出力回路のレイアウトを示す図である。なお、図1
1、図12の例とも2層配線を用いたレイアウトを示し
ている。

【0187】表示装置用の駆動ドライバは、通常幅が数
mmであるが、パネルの辺縁部のサイズを小さくし、パ
ネルサイズの縮小を図るために、回路の小面積化は重要
である。そこで、本願発明者らは、第6の実施形態の階
調制御用出力回路のレイアウトの改善を検討した。

【0188】図11及び図12に示す階調制御用出力回
路では、ロー側カレントミラー部の子(第2段)電流源
LCCSとハイ側カレントミラー部の子電流源HCCS
とが1組みとなり、それがR(赤)用、G(緑)用、B
(青)用の順で16個分横一列に並んでいる。そして、
ロー側カレントミラー部の子電流源LCCSからはそれ
ぞれ11本ずつのロー側電流出力回路LDRVに向かっ
て配線が延び、ハイ側カレントミラー部の子電流源HC
CSのからは、それぞれ11本ずつのハイ側電流出力回
路HDRVに向かって配線が延びている。さらに、ロー
側電流出力回路LDRV及びハイ側電流出力回路HDRV
からは共に出力制御回路OCTLに向かって配線が延
びている。

【0189】ここで、ロー側電流出力回路LDRVに
は、図9に示すロー側カレントミラー部55の孫電流源
とロー側階調制御回路59とが含まれており、ハイ側電
流出力回路HDRVには、ハイ側カレントミラー部56
の孫電流源とハイ側階調制御回路60とが含まれてい
る。また、出力制御回路OCTLには、出力部64及び
選択ブリチャージ制御回路62等が含まれる。

【0190】図11に示すように、レイアウトの参考例
では、ロー側電流出力回路LDRV、ハイ側電流出力回
路HDRV及び出力制御回路OCTLは、図の左側から
順にR、G、B、R、G、B…の順に配置されている。
このレイアウトによれば、図11に示す右側の太線で表
した配線のように、比較的短い配線がある反面、極端に
長くなる配線が生じる。また、配線同士の交差が多くな
り、配線が複雑になっていることが分かる。

【0191】これに対し、図12に示すように、本実施
形態のレイアウトでは、R用のロー側カレントミラー部
の子電流源LCCSとハイ側カレントミラー部の子電流
源HCCSの1組に接続された電流出力回路と出力制御
回路とがまとめて配置されている。また、ロー側電流出
力回路LDRV、ハイ側電流出力回路HDRV及び出力
制御回路OCTLはマトリックス状に配置され、第1行
がロー側電流出力回路LDRV、第2行がハイ側電流出
力回路HDRV、そして第3行が出力制御回路OCTL
になっている。

【0192】このようなレイアウトにより、図11に示す参考例で見られたような、極端に長い配線を無くすることができる上、配線同士の交差も減らすことができる。このため、カレントミラー部から出力制御部までの間の配線領域を低減できる。

【0193】なお、図12にはR用のみについて示したが、順にG用のみ、B用のみを固めた配置が同図で示した領域の側方に続く。

【0194】図13は、本実施形態の階調制御用出力回路の出力配線領域を示す配線図である。

【0195】同図に示すように、本実施形態のレイアウトを適用する場合、カレントミラー部から出力制御部までの配線の引き回しが低減されるのに対し、出力制御回路OCTLの出力部(IOUT1~11)から表示パネルへの出力端子までの配線の引き回しは、上述の参考例に比べて長くなる。

【0196】しかしながら、本実施形態の階調制御用出力回路においては、カレントミラー部と出力制御部とは2:1対応となっているのに対し、出力制御部と表示パネルへの出力端子とは1:1対応しているため、カレントミラー部から出力制御部までの配線を簡略化する方法が、配線領域の面積低減には効果的である。

【0197】このため、 γ 補正のために3つ以上の電流出力回路を設ける場合、本実施形態の階調制御用出力回路のレイアウトによれば、参考例のレイアウトと比較してさらに効果的に配線領域の面積を低減することができる。

【0198】なお、本実施形態においては、1つの親電流源につき176出力で、1つのチップ当たりR、G、Bを合わせて $176 \times 3 = 528$ 出力である例を説明したが、本実施形態のレイアウトは、出力数の異なる階調制御用出力回路にも適用することができる。

【0199】また、階調制御用出力回路がカラープリンタのヘッドとして用いられる際には、駆動する画素が4色以上になる場合があるが、この際にも本実施形態のレイアウトを用いれば、配線面積の著しい増大を防ぐことができる。

【0200】(第8の実施形態) 本発明の第8の実施形態として、第5の実施形態で説明した階調制御回路51のレイアウトが改善された例について説明する。このレイアウトは、第6の実施形態におけるロー側階調制御回路59及びハイ側階調制御回路についても適用される。

【0201】図14(a)、(b)は、それぞれ階調制御回路の構成を示す回路図、及び該階調制御回路のレイアウトの参考例を概略的に示す図である。

【0202】図14(a)に示すように、図6に示す階調制御回路51は、互いに同じ素子構成を有するPチャネル型MISFETから構成された複数のカレントミラー部52と、各カレントミラー部52に接続され、カレントミラー部52と同数の選択スイッチ53とから構成

されている。そして、各選択スイッチ53は、Pチャネル型MISFETとNチャネル型MISFETから構成されたトランスファークローク49と、インバータ50とから構成されている。全ての選択スイッチ53からの出力は、出力配線を通して共通の出力部IOUTに向かう。

【0203】この出力配線には、全ての選択スイッチ53からの出力電流が集約されることになるので、この出力配線のインピーダンスを下げることは、出力電流の精度を上げる上で重要である。

【0204】また、図14(b)に示すように、階調制御回路51のレイアウトの参考例は、カレントミラー部52(CM)、トランスファークローク49(TG)、インバータ50(IN)の各部ごとに集めて配置するものである。このレイアウトによれば、階調制御回路51を集積化した半導体チップの不純物拡散工程やエッチング工程などで、マスクを作製しやすいという利点がある。

【0205】しかしながら、この参考例のレイアウトによれば、図14(b)からも分かるように、回路図において離れた位置にある素子同士をまとめるために、配線が冗長になってしまっていた。パネルに用いられる電流駆動用ドライバの幅は数mm程度であるので、出力配線と逆方向に向かう冗長配線の存在により、出力配線の幅は狭くなり、階調制御回路51の出力インピーダンスは大きくなってしまふ。

【0206】そこで、本願発明者らは、回路配置の改善を試みた。

【0207】図15(a)は、階調制御回路の構成を示す回路図(図14(a)と同じ)、同図(b)は、該階調制御回路のレイアウトの参考例を概略的に示す図(図14(b)と同じ)、同図(c)は、本実施形態に係る階調制御回路のレイアウトを概略的に示す図である。

【0208】図15(c)に示すように、本実施形態の階調制御回路のレイアウトは、カレントミラー部52と、それに接続されたトランスファークローク49及びインバータ50をひとまとめにして配置し、それが回路構成に従って一列に配置されるものである。すなわち、カレントミラー部52と、それに接続されたトランスファークローク49及びインバータ50のまとまりを「階調生成部」と呼ぶとすると、ビット数分の階調生成部が一列に配置される形になっている。

【0209】本実施形態の階調制御回路のレイアウトによれば、回路構成に従って各素子が配置されているので、図15(b)に示すような冗長な配線を生じることがない。これにより、階調制御回路の出力配線の幅を広げて、階調制御回路の出力インピーダンスを低減することが可能になる。

【0210】また、冗長な配線を無くすることができるので、配線面積を低減することができるので、階調制御回路を集積化したチップの面積を大きく低減することがで

10

20

30

40

50

きる。

【0211】なお、本実施形態の階調制御回路のレイアウトは、MISFETのゲート幅／ゲート長の値を変えることによって階調制御を行うタイプの階調制御回路にも適用することができる。

【0212】（第9の実施形態）

－電流嵩上げ回路－

発光素子を用いた電流駆動方式のパネルにおいて、表示特性を改善する方法として、輝度全体を変化させるコントラスト調整がある。

【0213】このコントラスト調整を実現するための回路が、電流嵩上げ制御回路である。これは、嵩上げ信号K0～K1を受けてハイ側階調制御回路60及びロー側階調制御回路59からの出力電流を嵩上げするための電流を出力するための回路である。

【0214】例えば、第6の実施形態に係る階調制御用出力回路において、この電流嵩上げ制御回路からの嵩上げ電流が、階調制御回路の出力部64に輸入されるようになっている。この場合、すべての階調を制御する際に、出力部64から出力される電流は嵩上げされる。

【0215】しかしながら、出力電流の嵩上げは、階調制御回路の出力すべてについて行う必要があるため、図9に示す電流嵩上げ制御回路61は、ハイ側階調制御回路60と共通のハイ側カレントミラー部56に接続されるか、別途設けた嵩上げ回路用カレントミラー部65に接続されるかのどちらかしかなかった。

【0216】図16(a)、(b)は、それぞれ同図(b)に示す階調制御用出力回路の電流値－階調レベル特性を示す図、及び嵩上げ回路用カレントミラー部65を設けた場合の階調制御用出力回路の例を示すブロック回路図である。

【0217】図9及び図16に示す階調制御用出力回路では、電流嵩上げ制御回路61の効果はあるが、配線やカレントミラー部の面積が増加してしまう。

【0218】－本実施形態の階調制御用出力回路－

図17は、本実施形態の階調制御用出力回路のうち、電流嵩上げ制御回路を示す図である。

【0219】なお、本実施形態の階調制御用出力回路は、表示装置の電流駆動用ドライバ、プリンタのヘッドなどに用いられる。

【0220】本実施形態の階調制御用出力回路は、出力部64に接続されたロー側階調制御回路59と、ロー側階調制御回路59に基準電圧 V_{st1} を供給するためのロー側カレントミラー部55と、ロー側カレントミラー部55とロー側階調制御回路59との間に設けられた電流嵩上げ制御回路66と、ロー側出力部64に接続されたハイ側階調制御回路60と、ハイ側階調制御回路60に基準電圧 V_{st2} を供給するためのハイ側カレントミラー部56と、ディスプレイ側のソース信号線58に接続された選択ブリチャージ制御回路62とを備えてい

る。

【0221】図17に示すように、電流嵩上げ制御回路66は、それぞれ1個、2個のカレントミラーを有するカレントミラー部と嵩上げ信号K0、K1に応じてオン・オフを決定するスイッチ回路とから構成されている。

【0222】この電流嵩上げ制御回路66は、ロー側階調制御回路59と類似の構成を有しているため、製造が容易な上、カレントミラー部を新たに設ける必要もない。このため、本実施形態の階調制御用出力回路は、図9及び図16(b)に示す階調制御用出力回路に比べて、面積を大幅に縮小することができる。

【0223】なお、本実施形態における電流嵩上げ制御回路66が嵩上げを行うのは、ロー側階調制御回路59の出力電流のみである。しかしながら、ロー側階調制御回路59の出力電流は常に出力部64から出力されているので、これによる不具合は生じない。加えて、高い階調よりも低い階調を制御する電流を嵩上げする方が重要である。

【0224】このように、本実施形態の階調制御用出力回路によれば、面積の増加を抑えつつ、電流嵩上げ制御回路によるコントラスト調整を容易に実現することができる。

【0225】（第10の実施形態）本発明の第10の実施形態として、これまでの実施形態で説明した階調制御用出力回路（電流駆動用ドライバ）の検査装置を説明する。

【0226】電流駆動方式に用いられる階調制御用出力回路の1階調当たりの電流は10nA～20nAであり、検査時に検出すべき電流値もこれと同じである。このため、階調制御用出力回路から出力される微小な検査電流を、減衰させずに半導体テスター79に伝達する必要がある。

【0227】これを解決するため、本願発明者らは、微小電流である検出電流を電圧に変換して伝達することを考えた。

【0228】図18(a)、(b)は、それぞれ電流駆動用の階調制御用出力回路を検査するための本発明の第10の実施形態に係るプローブカードを示す断面図、及び該プローブカードの断面を示すブロック回路図である。

【0229】図18(a)、(b)に示すように、本実施形態のプローブカードは、上面が半導体テスター79に設置可能な基板78と、基板78の下面上に設けられ、導体からなるプローブ83と、基板78上の、プローブ83の根元から約10cm以内に配置され、プローブ83に接続された高精度の抵抗体88と、抵抗体88に接続され、基板78を貫通して設けられた配線とを備えている。

【0230】また、被検査ウエハ82上には、例えば検査用のパッド87（またはバンプ）と、パッド87に接

続された図示しない内部回路とが設けられている。

【0231】半導体テスター79は、被検査ウエハ82から出力された検査信号を基準電圧と比較するためのコンパレータを有している。

【0232】次に、本実施形態のプローブカードを用いた検査手順を簡単に説明する。

【0233】まず、検査時にはプローブカード78を半導体テスター79にセットし、プローブ83を被検査ウエハ82のパッド87に当接させる。この状態で、所定値の電流を、プローブ83から被検査ウエハ82上のパッド87に入力する。

【0234】次に、入力した電流に応じた電流信号がパッド87からプローブ83に伝達される。この時、図18(b)に示すように、プローブ83の直近に配置された抵抗体80により被検査ウエハ82からの電流信号は電圧信号に変換される。この電圧信号は、プローブカード78の配線86や接続配線85や図示しない治具等を経て半導体テスター79に伝達される。

【0235】次に、半導体テスター79に入力された電圧信号は、コンパレータの負側入力部に入力され、所定の基準電圧と比較される。この際に、電圧信号と基準電圧との差が一定の範囲内であれば、製品は「合格」と判定される。

【0236】一般に、電圧信号は、電流信号に比べて伝送経路中で減衰しにくい。そのため、本実施形態のプローブカードにおいては、被検査ウエハ82からの電流信号を、抵抗体80によって電圧信号に変換することで、被検査ウエハからの信号を半導体テスター79に確実に伝達させることができる。ただし、本実施形態のプローブカードにおいて、抵抗体80を通る信号の経路は、インピーダンスが大きいと、外乱ノイズの影響を受けないように、シールド対策が施されることが望ましい。

【0237】なお、本実施形態のプローブカードにおいて、プローブ83と抵抗体80との距離は、1.0cm程度以下であることが好ましい。これは、プローブ83と抵抗体80との間の距離が大きくなりすぎると、抵抗体80に至るまでに電流信号が減衰するおそれがあるからである。

【0238】また、ここで示したプローブカードは、チップごとウエハを検査するタイプのものであるが、ウエハバーンイン用のプローブカードであっても、プローブの直近に高精度の抵抗体を設けることで、階調制御用出力回路を有するウエハの検査が可能になる。

【0239】また、被検査ウエハとしては、階調制御用出力回路を有するものに限らず、微少電流を出力する機能を有する回路が設けられたウエハであれば同様の本実施形態のプローブカードで検査することができる。

【0240】なお、本実施形態のプローブカードに配置される抵抗体88としては、集積化されたものを用いてもよい。

【0241】(第11の実施形態)第10の実施形態に係るプローブカードを用いる検査において、検出すべき電圧の範囲が大きく変化する場合には、電圧信号の電圧値が半導体テスター79のコンパレータの検出範囲外となることがある。これを避けるため、本願発明者らは、プローブカードの構造をさらに改善することを検討した。

【0242】図19は、本発明の第11の実施形態に係るプローブカードの断面を示すブロック回路図である。

【0243】本実施形態のプローブカードは、基板78と、基板78の下面上に設けられたプローブ83と、基板78の下面上のうち、プローブ83の直近に配置された高精度で抵抗値が設定された抵抗体80と、基板78の下面上に設けられ、出力部に抵抗体80の一端が、負側入力部に抵抗体80の他端がそれぞれ接続されたコンパレータ81と、基板78を貫通して設けられた配線(図示せず)とを備えている。また、コンパレータ81の正側入力部には、検査時に半導体テスター79から基準電圧信号が供給される。ここで、オペアンプとしては、入力インピーダンスが高いものが好ましく用いられる。

【0244】本実施形態のプローブカードには、抵抗体80で負帰還され、正側入力部に基準電圧信号が入力されたオペアンプ81を備えている。負帰還されたオペアンプ81の正側入力部に入力された電圧の利得(出力電圧)/(入力電圧)は、抵抗体80の帰還率で決まるので、入力された信号電圧の大きさに応じて基準電圧信号を変えることで、信号電圧の範囲を半導体テスター79のコンパレータの測定可能範囲内に収めることができる。具体的には、被検査ウエハ82からの信号電流が小さい時は低電圧の基準電圧信号をオペアンプ81の正側入力部に入力し、信号電流が大きい時は高電圧の基準電圧信号をオペアンプ81の正側入力部に入力する。なお、オペアンプ81としては、入力インピーダンスが十分に高いものを用いる。

【0245】このように、本実施形態のプローブカードにおいては、被検査ウエハ82からの信号電流の大きさに応じて基準電圧信号を変化させることで検出する信号電圧の範囲を制御することができる。これにより、検査をより簡単に精度良く行なうことが可能になる。

【0246】なお、本実施形態のプローブカード上に設けられるオペアンプ81は、大きさが問題となるので、チップ上に集積化されたものを用いることが好ましい。

【0247】(第12の実施形態)本発明の第12の実施形態として、電流信号を電圧信号に変換するための抵抗体を、階調制御用出力回路を搭載したチップ上に設けたものについて説明する。

【0248】図20(a)、(b)は、それぞれ通常時における本実施形態の半導体チップを示す回路図、及び検査時における本実施形態の半導体チップを示す回路図

である。ここで、通常時とは、通常動作時と電源切断時を含めたときを指す。

【0249】同図(a)、(b)に示すように、本実施形態の半導体チップは、集積化された階調制御用出力回路と、該階調制御用出力回路の出力部107と選択ブリッジ回路106とに接続された高精度で抵抗値が設定された抵抗体100と、静電放電(ESD)から内部回路を保護するためのダイオード102、103と、スイッチ回路104、105と、外部端子(図示せず)とを備えている。

【0250】本実施形態の半導体チップについての説明を、動作モードごとに行なう。

【0251】まず、図20(a)に示すように、通常時(電源切断時及び通常動作時)には、スイッチ回路104はオフになるとともにスイッチ回路105は抵抗体100を外部端子に接続させる。このとき、外部端子、抵抗体100、階調制御用出力回路とは互いに直列に接続されていることになる。

【0252】これにより、外部端子から静電気などの高電圧が印加された場合に、抵抗体100の電圧降下作用により階調制御用出力回路を保護することが可能になる。

【0253】一方、図20(b)に示すように、検査時には、スイッチ回路104はオンになるとともにスイッチ回路105は抵抗体100を接地に接続させる。

【0254】これにより、測定用の電流信号が外部端子から出力される前に、抵抗体100によって電圧信号に変換される。

【0255】以上のように、本実施形態の半導体チップによれば、抵抗体100を通常時にはESD保護用抵抗として用い、検査時には電流/電圧変換用抵抗として用いることにより、ESD保護を図るとともに、精度の高い検査を実行することができる。また、抵抗体100を半導体チップ上に設けることによって、第11の実施形態のように、プローブカード上に抵抗体を設ける必要がない。そのため、階調制御用出力回路を検査するために、低品質のプローブカードを用いても検査ができるようになる。

【0256】なお、本実施形態の半導体チップにおいても、集積化された内部回路は、階調制御用出力回路以外の、微小電流を出力する回路であってもよい。

【0257】また、スイッチ回路104、105は、本実施形態で説明した位置と異なる場所に設けることもでき、検査時と通常時で抵抗体の接続を切り替えることができればよい。

【0258】(第13の実施形態)本発明の第13の実施形態は、階調制御用出力回路(電流駆動ドライバ)の検査方法に関するものである。

【0259】図21は、本発明の第13の実施形態に係る階調制御用出力回路の検査方法を説明するための回路

図である。階調制御用出力回路の例として、ここでは、図17に示す第9の実施形態にの階調制御用出力回路を示している。

【0260】本発明の階調制御回路において、階調制御回路からの出力電流の大きさは、多段式カレントミラーから供給される電流の大きさによって変わる。本実施形態で用いられる多段式カレントミラーでは、1つの親電流源を流れる電流と同じ値の電流が176個の階調制御回路に供給されるので、多段式カレントミラー部に入力される電流を増やせば、この多段式カレントミラー部に接続されるすべての階調制御回路から出力される電流も増えることになる。

【0261】そこで、本実施形態の階調制御用出力回路の検査方法では、外部の抵抗体68よりも低い抵抗値を有する抵抗体69を用いる。

【0262】そして、検査時には、抵抗体69を、ロー側カレントミラー部55に対して外部抵抗68と並列に接続する。

【0263】通常時には、スイッチ回路等によって、抵抗体69はロー側カレントミラー部55に接続されないように接続を切り替える。

【0264】この方法により、検査時には、通常動作時よりも大きい電流が一時的に流れ、階調制御用出力回路から出力される信号電流を例えば10倍にすることができ。この結果、検査時に、寄生素子や配線材による絶縁抵抗リークの影響を低減することができる。

【0265】なお、本実施形態の検査方法によれば、ロー側カレントミラー部55に外部の抵抗体69が接続される例を示したが、ハイ側カレントミラー部56に抵抗体69を接続してもよい。

【0266】(第14の実施形態)本発明の第14の実施形態として、階調制御用出力回路を検査するために、共通のラッチ回路を設ける例について説明する。

【0267】図22は、階調制御用出力回路において、外部からの入力信号の経路を示すためのブロック回路図である。

【0268】本発明の階調制御用出力回路が表示装置用の電流駆動用ドライバとして用いられる場合、表示データは、データ入力端子から入力され、ビットセル(1出力分のセル回路)ごとに複数のラッチ回路にラッチされてから各階調制御回路に供給される。すなわち、通常動作時に外部から入力された表示データは、通常動作ラッチ回路111a、111bなどを經由し、図22に示す黒線のような経路をたどって階調制御回路に入力される。

【0269】しかしながら、微小な電流を検査のために入力する場合、上記の経路をたどるとすると、検査時間が長くなってしま。特に、アナログ電流を入力して階調の変化を検査する際などには、検査時間が膨大になってしまう。

10

20

30

40

50

【0270】そこで、本願発明者らは、検査時間を短縮し、検査効率を向上させるため、検査時にのみ使用する、チップ上の全出力部に対して1つの共通ラッチ回路90を階調制御回路を集積化したチップ上に設けることとした。

【0271】図23は、本実施形態の半導体チップにおける選択回路の構成を示す回路図である。

【0272】同図に示すように、本実施形態の半導体チップは、半導体チップ上に集積化された階調制御用出力回路と、階調制御用出力回路のビットセルごとに設けられた通常動作ラッチ回路111と、半導体チップ上に1つ設けられた共通ラッチ回路90と、通常動作ラッチ回路111と共通ラッチ回路90のうちいずれかを階調制御用出力回路のビットセルに接続させるための選択回路とを備えている。

【0273】共通ラッチ回路90からは、すべてのビットセルに接続するための配線が延びている。

【0274】通常動作時には、この共通ラッチ回路90がビットセルに接続しないように、スイッチ回路がオフの状態になっている。

【0275】そして、検査時には、選択回路が共通ラッチ回路90と全てのビットセルとを接続させることができるようになっている。本実施形態においては、共通ラッチ回路90からの出力は、階調制御用出力回路の528出力すべてに接続されている。

【0276】この構成により、検査時にはビットセルごとに毎回データをラッチする必要がなくなるので、検査時間を大幅に短縮することが可能になる。

【0277】

【発明の効果】本発明の階調制御用出力回路によれば、階調制御回路及び多段式カレントミラー部がロー側とハイ側に分かれて設けられているので、有機ELなどの発光素子の γ 特性に合わせた階調制御が可能となる。また、階調制御回路及び多段式カレントミラー部の配置が最適化されているので、配線領域を小さく抑えることが可能になっている。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る階調制御用出力回路の構成を示す回路図である。

【図2】(a)、(b)は、それぞれ本発明の第2の実施形態に係る階調制御用出力回路の構成を示す回路図、及び電源電圧供給線における電源電位と電源電圧供給部からの距離との関係を示す図である。

【図3】本発明の第3の実施形態に係る階調制御用出力回路の構成を示す回路図である。

【図4】本発明の第4の実施形態に係る階調制御用出力回路の構成を示す回路図である。

【図5】本発明の第5の実施形態に係る階調制御用出力回路の構成を示す図である。

【図6】図5に示す階調制御回路の詳細な構成を示す図

である。

【図7】電流源を3段式にした場合の多段式カレントミラー部を示す図である。

【図8】電流駆動用の階調制御用出力回路が出力する電流の階調レベルー出力電流特性を示す図である。

【図9】本発明の第6の実施形態に係る階調制御用出力回路を用いた電流駆動方式の表示装置の構成を示すブロック回路図である。

【図10】第6の実施形態に係る階調制御用出力回路における選択ブリチャージ回路及び選択ブリチャージ制御回路の一例を示す回路図である。

【図11】第6の実施形態に係る階調制御用出力回路のレイアウトの参考例を示す図である。

【図12】本発明の第7の実施形態に係る階調制御用出力回路のレイアウトを示す図である。

【図13】第7の実施形態に係る階調制御用出力回路の出力配線領域を示す配線図である。

【図14】(a)、(b)は、それぞれ階調制御回路の構成を示す回路図、及び該階調制御回路のレイアウトの参考例を概略的に示す図である。

【図15】(a)は、階調制御回路の構成を示す回路図、(b)は、該階調制御回路のレイアウトの参考例を概略的に示す図、(c)は、本発明の第8の実施形態に係る階調制御回路のレイアウトを概略的に示す図である。

【図16】(a)、(b)は、それぞれ同図(b)に示す階調制御用出力回路の電流値－階調レベル特性を示す図、及び嵩上げ回路用カレントミラー部を設けた場合の階調制御用出力回路の例を示すブロック回路図である。

【図17】本発明の第9の実施形態に係る階調制御用出力回路のうち、電流嵩上げ制御回路を示す図である。

【図18】(a)、(b)は、それぞれ本発明の第10の実施形態に係るブローブカードを示す断面図、及び該ブローブカードの断面を示すブロック回路図である。

【図19】本発明の第11の実施形態に係るブローブカードの断面を示すブロック回路図である。

【図20】(a)、(b)は、それぞれ通常時における本発明の第12の実施形態に係る半導体チップを示す回路図、及び検査時における第12の実施形態の半導体チップを示す回路図である。

【図21】本発明の第13の実施形態に係る階調制御用出力回路の検査方法を説明するための回路図である。

【図22】階調制御用出力回路において、外部からの入力信号の経路を示すためのブロック回路図である。

【図23】本発明の第14の実施形態に係る半導体チップにおける選択回路の構成を示す回路図である。

【図24】有機ELパネルの駆動方式を説明するための図である。

【図25】(a)、(b)は、それぞれ従来の電圧駆動用ドライバの構成を示す回路図、及び電源電圧供給線に

おける電源電位と電源電圧供給部からの距離との関係を示す図である。

【図26】(a), (b)は、それぞれ電流駆動用の階調制御用出力回路を検査するための従来のブロープカードを示す断面図、及び従来のブロープカードの断面を示すブロック回路図である。

【符号の説明】

1	階調制御部
2	第2のMISFET
3	第3のMISFET
4	電源電圧供給配線
5	出力側トランジスタ
6	オペアンプ
7	差動回路
8	出力バッファ部
10, 10a	電流供給部
11	第1のMISFET
12	電源電圧供給部
13	抵抗体
14	第3のノード
15	ゲートバイアス供給線
16	出力部
19	発振防止用コンデンサ
20	電圧選択スイッチ
21	第1の抵抗体
22	第2の抵抗体
23	第1のノード
23a	出力部用電圧供給線
24	第2のノード
24a	差動回路用電圧供給線
25	第1の電源電圧供給ノード
26	第2の電源電圧供給ノード
30	傾斜バイアス用MISFET
31	第2の電流供給部

* 41	第4のMISFET
43	受け手側カレントミラー
49, 70	トランスファークラーク
50, 71	インバータ
52	カレントミラー部
53	選択スイッチ
55	ロー側カレントミラー部
56	ハイ側カレントミラー部
59	ロー側階調制御回路
60	ハイ側階調制御回路
61, 66	電流嵩上げ制御回路
62, 106	選択プリチャージ回路
63a, 63b, 68, 69, 80, 88, 100	

抵抗体

64, 107

65

部

74

75

76

77

78

79

81

82

83

85

86

87

90

102, 103

104, 105

111a, 111b

*

第4のMISFET

受け手側カレントミラー

トランスファークラーク

インバータ

カレントミラー部

選択スイッチ

ロー側カレントミラー部

ハイ側カレントミラー部

ロー側階調制御回路

ハイ側階調制御回路

電流嵩上げ制御回路

選択プリチャージ回路

63a, 63b, 68, 69, 80, 88, 100

出力部

嵩上げ回路用カレントミラー

64, 107

65

部

74

75

76

77

78

79

81

82

83

85

86

87

90

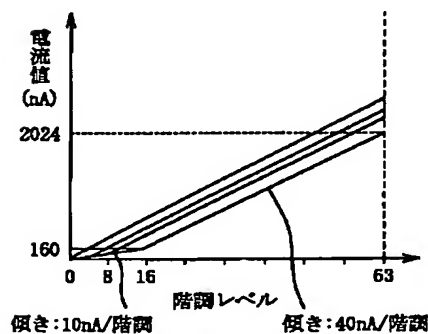
102, 103

104, 105

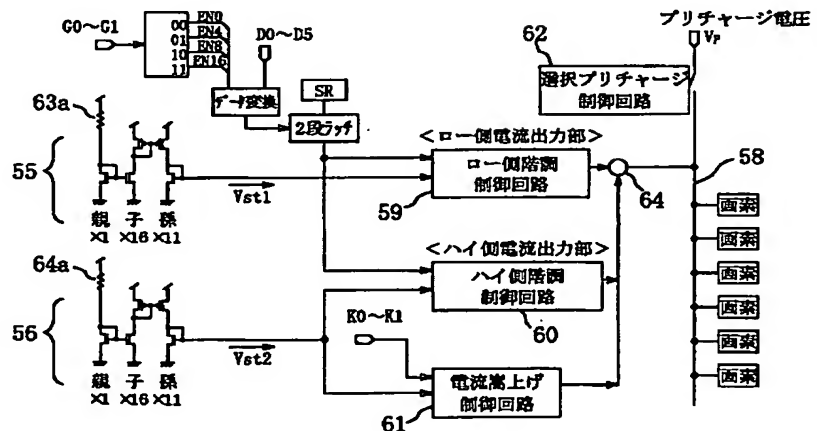
111a, 111b

通常動作用ラッチ回路

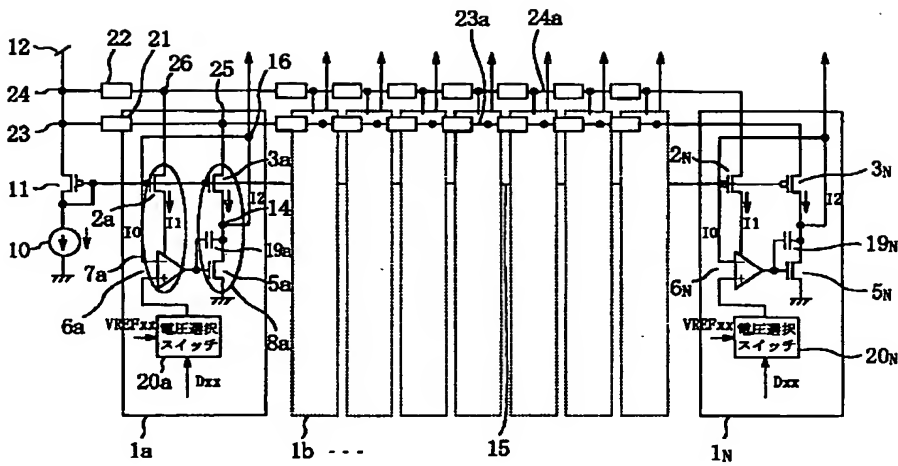
【図8】



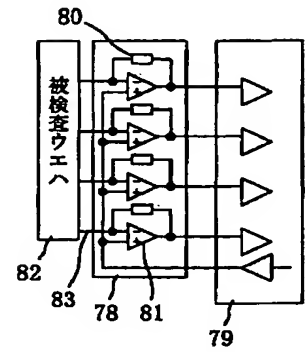
【図9】



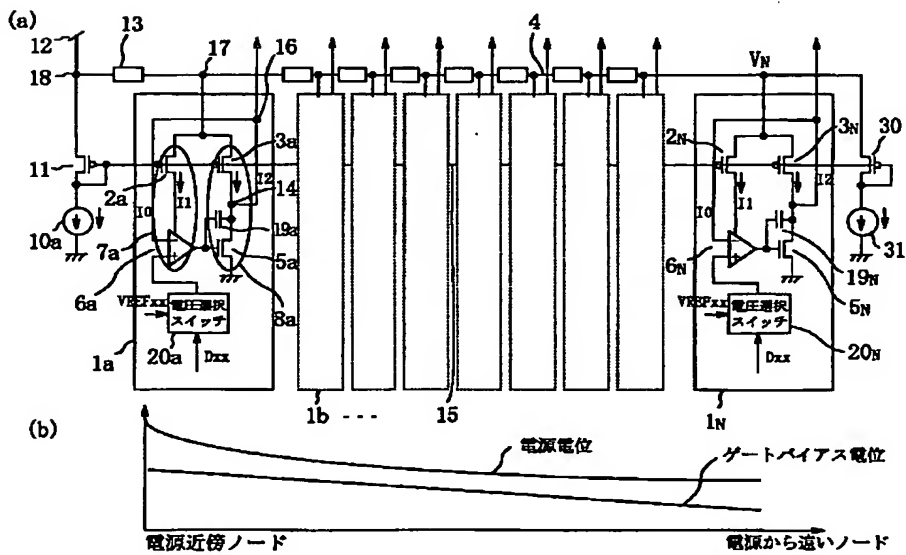
【図1】



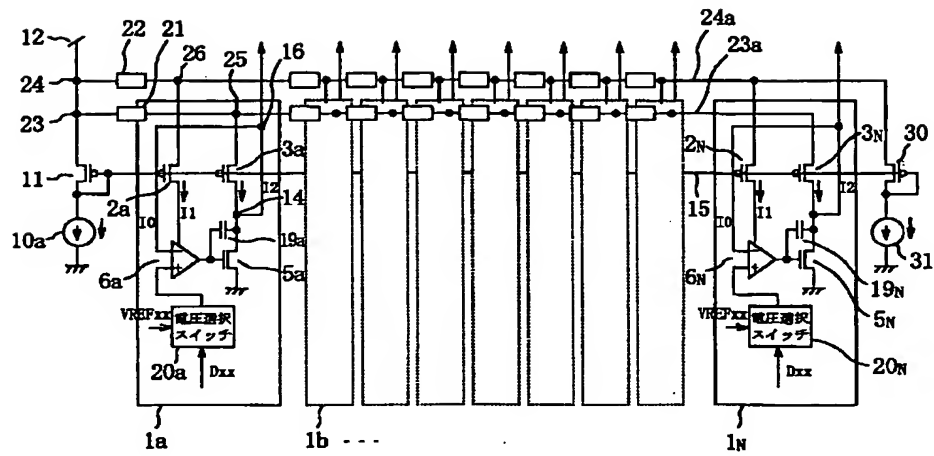
【図19】



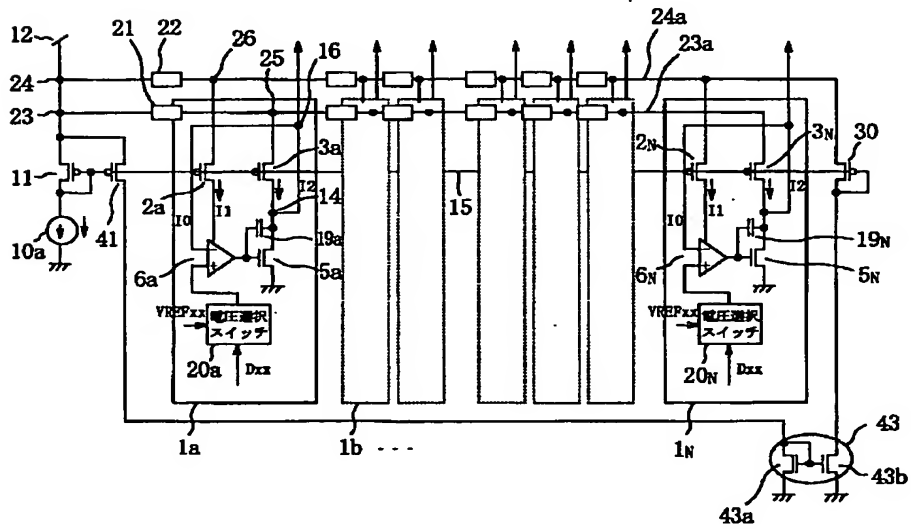
【図2】



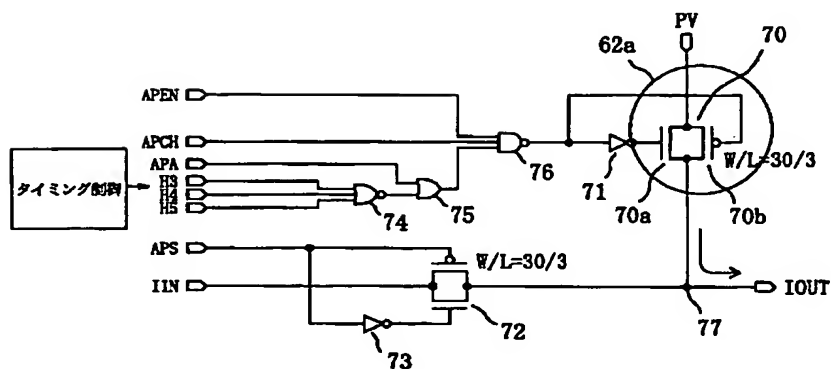
【図3】



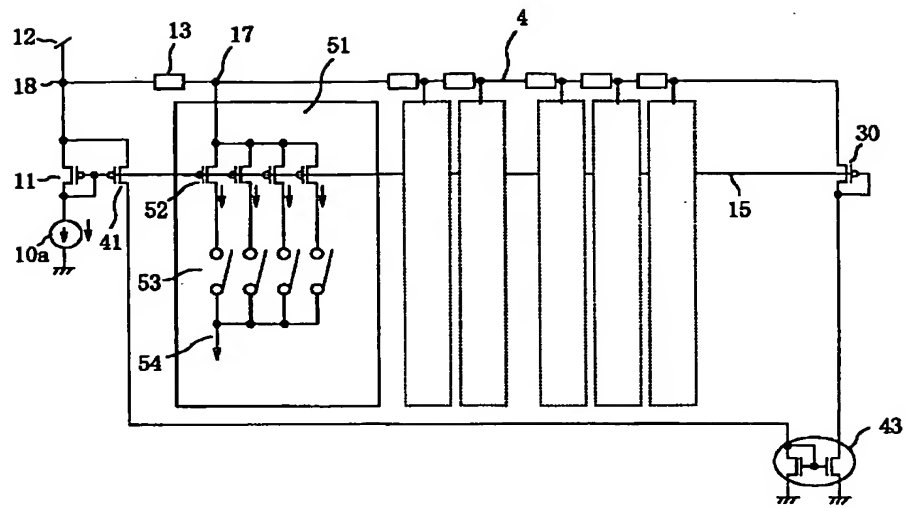
【図4】



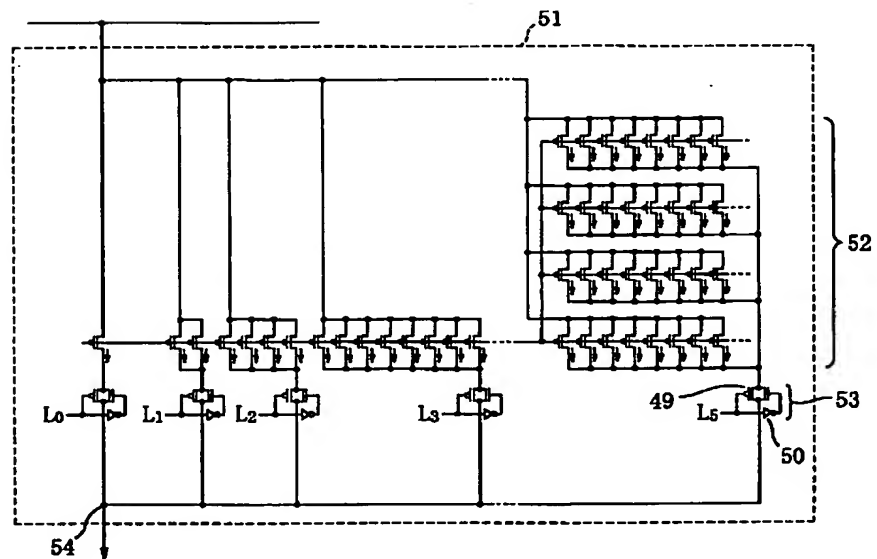
【図10】



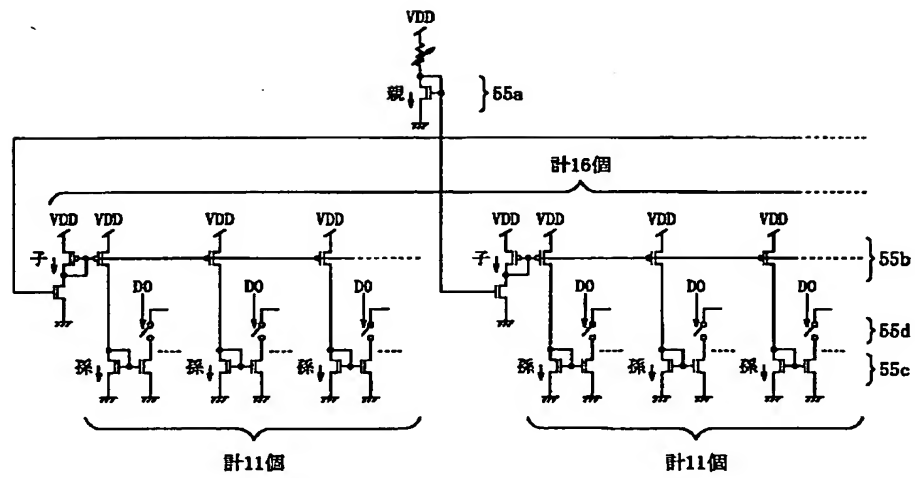
【図5】



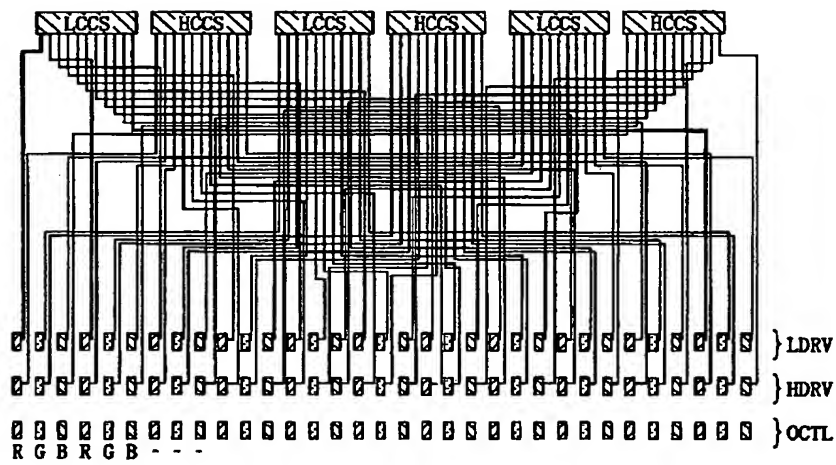
【図6】



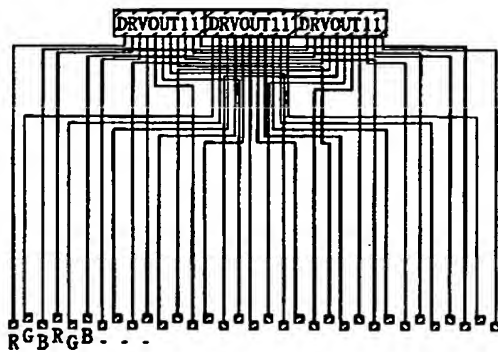
【図7】



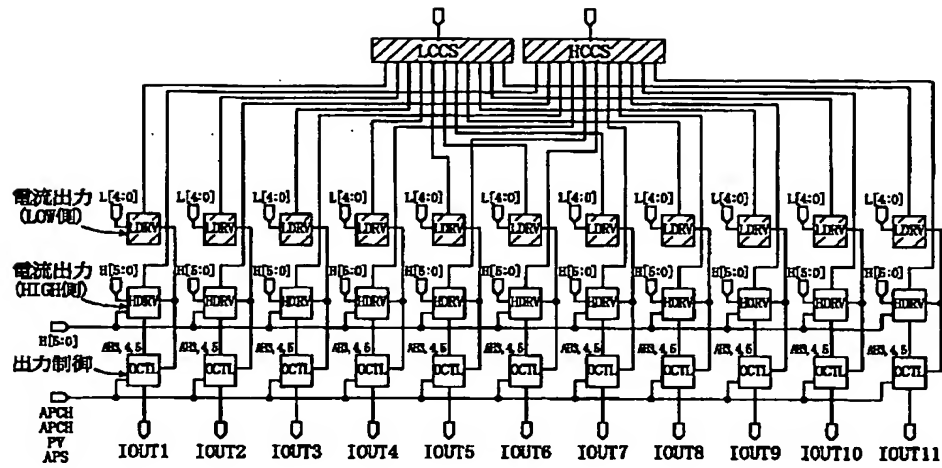
【図11】



【図13】

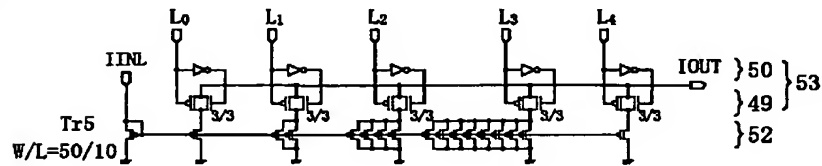


【図12】

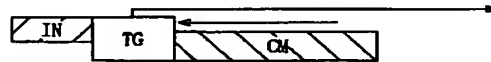


【図14】

(a)

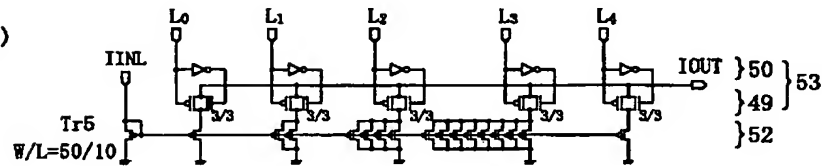


(b)

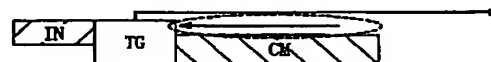


【図15】

(a)



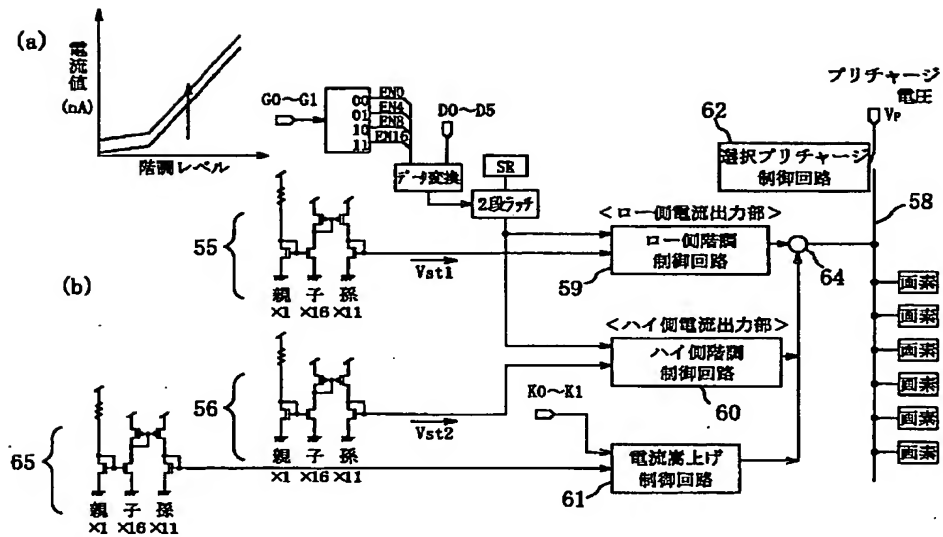
(b)



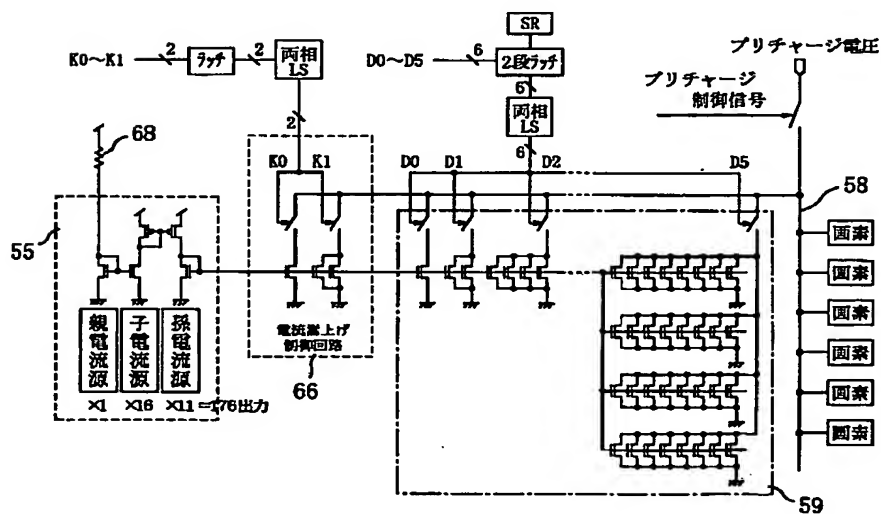
(c)



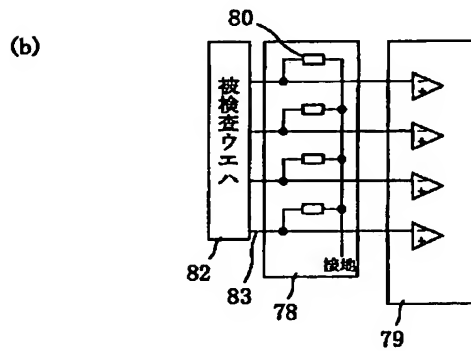
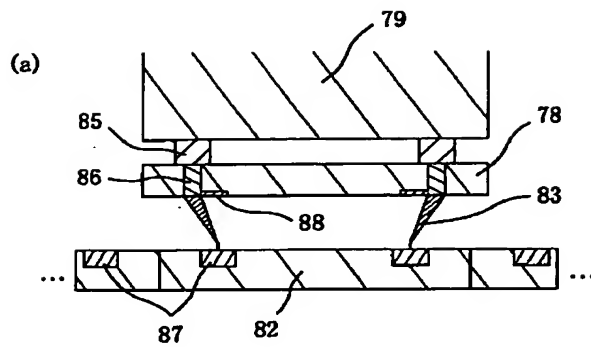
【図16】



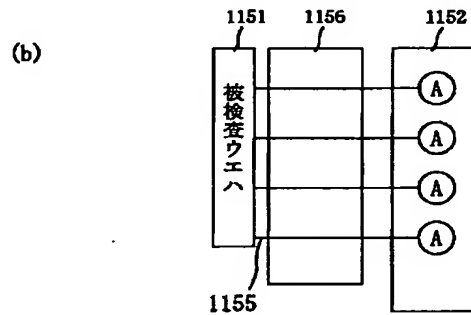
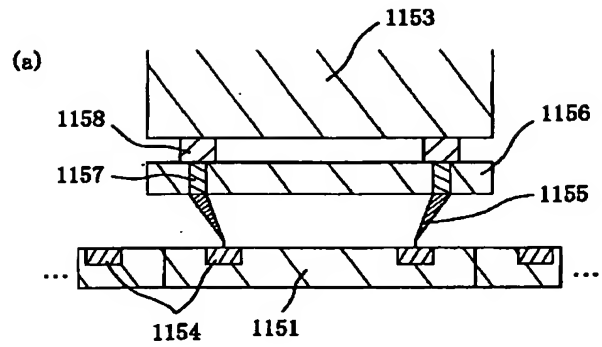
【図17】



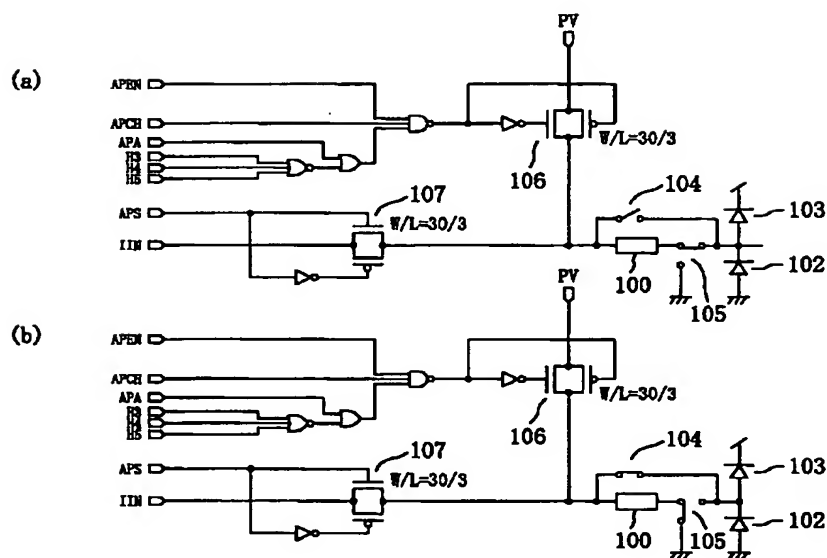
【図18】



【図26】

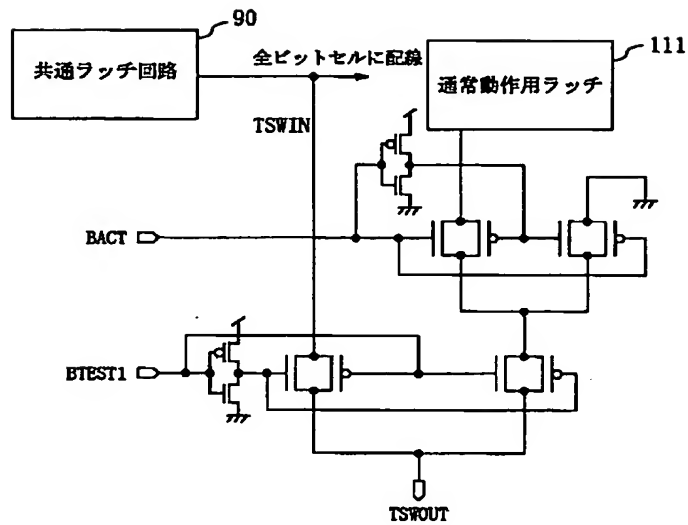


【図20】

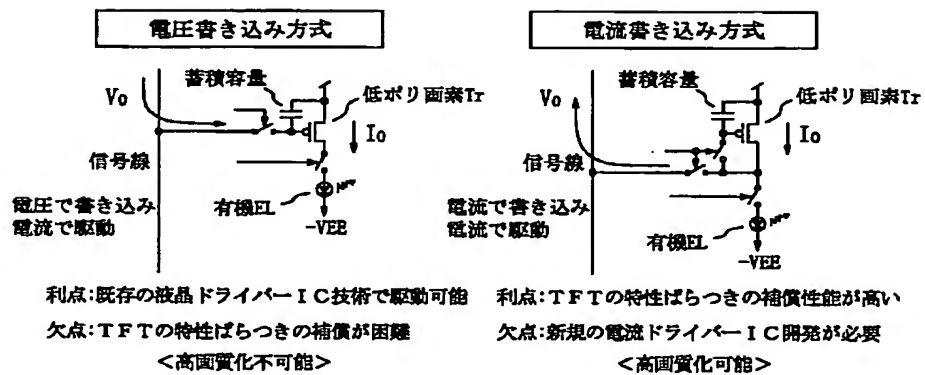


The diagram illustrates the internal architecture of the 74F000. It features several control and logic blocks on the left, including DTC1L3, ALAT3, TDLAT (with a 90-degree phase shift), ANCTL, PRECTL, and ABFBLK. These blocks are interconnected with a central data path. On the right, there are two identical 11X3Z output blocks. Each block contains three parallel processing channels labeled X用, Y用, and Z用. Each channel consists of a BITLINE11 stage followed by a DRVOUT33 stage. The output of each channel is labeled 11XYZ出力. The diagram also shows a SHIFTRG3 signal and an ALLLINE signal. The components are labeled with 111a and 111b, and a 90-degree phase shift is indicated.

【図23】



【図24】



(a) Schematic diagram of a semiconductor device. The device consists of a series of vertical channels (1101a, 1101b, ..., 1101N). Each channel contains a PMOS transistor (1102a, 1103a, 1103N), an NMOS transistor (1105a, 1105N), and a voltage divider (1119a, 1119N). A voltage switch (1120a, 1120N) is connected to the gates of the NMOS transistors. The gate bias voltage is applied to the gates of the PMOS transistors (1102a, 1102N) and the voltage switches (1120a, 1120N). The source of the PMOS transistors is connected to the power supply (V_N). The drain of the PMOS transistors is connected to the gates of the NMOS transistors. The source of the NMOS transistors is connected to the power supply (V_N). The drain of the NMOS transistors is connected to the output nodes (1101a, 1101b, ..., 1101N).

(b) Graph of power supply voltage vs. node position. The graph shows the power supply voltage (電源電位) on the y-axis and the node position on the x-axis. The voltage decreases linearly from the source (電源近傍ノード) to the drain (電源から遠いノード). The gate bias voltage (ゲートバイアス電位) is shown as a constant voltage level.

(51)Int.Cl.'

識別記号

FI

テーマコード (参考)

6 2 3 B

670Q

3/30

3/36

Fターム(参考)

2G036 AA19 BA33 BA40 BB12

5C006 AA16 BB16 BC12 BF24 BF25
BF34 BF43 EB01 EB05 FA26
FA37 FA56

5C080 AA06 AA10 DD01 DD05 DD15
EE29 FF11 JJ02 JJ03 JJ05
5H420 BB12 CC02 DD02 EA14 EA18
EA39 EA40 EA42 EA48 EB15
EB37 FF03 FF25 GG06 NA17
NA27 NB02 NB14 NB20 NB25
NB36 NC02 NC03 NC06 NC16
NC22 NC23 NC26 NC34

5J091 AA01 AA44 CA00 FA15 HA10
HA17 HA19 HA25 HA26 HA29
HA38 KA01 KA02 KA03 KA04
KA05 KA06 KA09 KA17 KA33
KA66 KA67 MA08 QA04 TA01
TA02